

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

16600289

Basic Patent (No,Kind,Date): WO 200106484 A1 20010125 <No. of Patents: 003>

CURRENT DRIVE CIRCUIT AND DISPLAY COMPRISING THE SAME, PIXEL CIRCUIT, AND  
DRIVE METHOD CIRCUIT D'ATTAQUE ET AFFICHAGE LE COMPRENANT, CIRCUIT DE  
PIXELS ET PROCEDE D'ATTAQUE (English)

Patent Assignee: SONY CORP (JP); YUMOTO AKIRA (JP)

Author (inventor): YUMOTO AKIRA (JP)

Designated States : (National) JP; KR; US (Regional) AT; BE; CH; CY; DE;  
DK; ES; FI; FR; GB; GR; IE; IT; LU; MC; NL; PT; SE

Filing Details: WO 100000 With international search report

IPC: \*G09G-003/32;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
EP 1130565	A1	20010905	EP 2000946353	A	20000714
WO 200106484	A1	20010125	WO 2000JP4763	A	20000714 (BASIC)
TW 526455	B	20030401	TW 89114115	A	20000714

Priority Data (No,Kind,Date):

WO 2000JP4763 W 20000714

JP 99200843 A 19990714

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2001年1月25日 (25.01.2001)

PCT

(10)国際公開番号  
WO 01/06484 A1

(51)国際特許分類:

G09G 3/32

(74)代理人: 佐藤隆久(SATOH, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号 宮木ビル4階 創進国際特許事務所 Tokyo (JP).

(21)国際出願番号:

PCT/JP00/04763

(22)国際出願日:

2000年7月14日 (14.07.2000)

(81)指定国(国内): JP, KR, US.

(25)国際出願の言語:

日本語

(84)指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(26)国際公開の言語:

日本語

添付公開言語:  
— 国際調査報告書

(30)優先権データ:

特願平11/200843 1999年7月14日 (14.07.1999) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/IP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

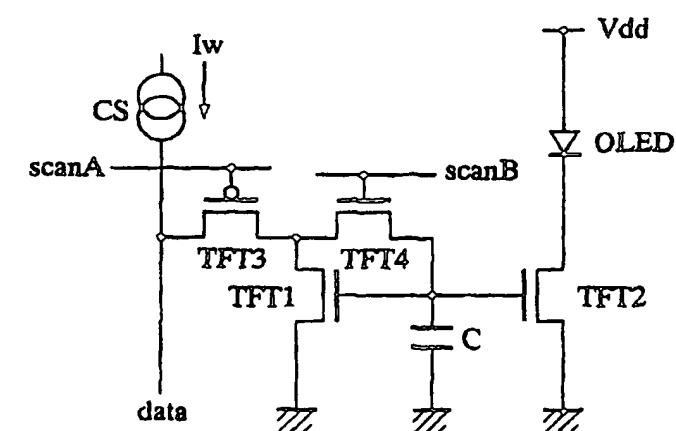
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(72)発明者: および

(75)発明者/出願人(米国についてのみ): 渥本 昭 (YUMOTO, Akira) [JP/IP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(54)Title: CURRENT DRIVE CIRCUIT AND DISPLAY COMPRISING THE SAME, PIXEL CIRCUIT, AND DRIVE METHOD

(54)発明の名称: 電流駆動回路及びそれを用いた表示装置、画素回路、並びに駆動方法



voltage level at its gate by allowing the signal current ( $I_w$ ) through its channel, and a capacitor ( $C$ ) holds the voltage level at the gate of the transistor (TFT1). The transistor (TFT2) allows the drive current having a current level corresponding to the voltage level held by the capacitor ( $C$ ) to flow through the light-emitting element (OLED).

(57)Abstract: A display including a current drive circuit capable of supplying a desired current to a light-emitting element in each pixel stably and accurately irrespective of the characteristic variations of active elements in the pixel, thereby providing a high-definition image. Each pixel is composed of a receiving transistor (TFT3) for receiving a signal current ( $I_w$ ) from a data line (data) when a scanning line (scanA) is selected, a converting transistor (TFT1) for converting the current level of the received signal current ( $I_w$ ) to a voltage level and holding the voltage level, and a driving transistor (TFT2) for allowing a drive current having a current level corresponding to the held voltage level to flow through light-emitting element (OLED). The converting thin film transistor (TFT1) generates the converted

[統纂有]



---

(57) 要約:

画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給可能な電流駆動回路を含み、結果として高品位な画像を表示することが可能な表示装置であって、各画素は、走査線 scan A が選択された時データ線 data から信号電流  $I_w$ を取り込む受入用トランジスタ TFT 3 と、取り込んだ信号電流  $I_w$  の電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタ TFT 1 と、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 OLED に流す駆動用トランジスタ TFT 2 とからなる。変換用薄膜トランジスタ TFT 1 は、TFT 3 によって取り込まれた信号電流  $I_w$  を自身のチャネルに流して変換された電圧レベルを自身のゲートに発生させ、容量 C は TFT 1 のゲートに生じた電圧レベルを保持する。TFT 2 は、C に保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 OLED に流す。

田中 純一

電流駆動回路及びそれを用いた表示装置、画素回路、並びに駆動方法

## 技術分野

本発明は、有機エレクトロルミネッセンス（EL）素子等の、電流によって輝度が制御される発光素子等を駆動する電流駆動回路、及びこの電流駆動回路により駆動される発光素子を各画素毎に備えた表示装置、画素回路、並びに発光素子の駆動方法に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタ等の能動素子によって発光素子に供給する電流量を制御する電流駆動回路およびそれを用いた所謂アクティブマトリクス型の画像表示装置に関する。

## 背景技術

一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機ELディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

液晶ディスプレイと同様、有機ELディスプレイもその駆動方式として単純マ

トリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種である薄膜トランジスタ、以下TFTと呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機ELディスプレイは例えば特開平8-234683号公報に開示されており、一画素分の等価回路を図1に示す。画素は発光素子OLED、第一の薄膜トランジスタTFT1、第二の薄膜トランジスタTFT2及び保持容量Cからなる。発光素子は有機エレクトロルミネッセンス（EL）素子である。有機EL素子は多くの場合整流性があるため、OLED（有機発光ダイオード）と呼ばれることがあり、図では発光素子OLEDとしてダイオードの記号を用いている。但し、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子に必ずしも整流性が要求されるものではない。図示の例では、TFT2のソースを基準電位（接地電位）とし、発光素子OLEDのアノード（陽極）はVdd（電源電位）に接続される一方、カソード（陰極）はTFT2のドレインに接続されている。一方、TFT1のゲートは走査線scanに接続され、ソースはデータ線dataに接続され、ドレインは保持容量C及びTFT2のゲートに接続されている。

画素を動作させるために、まず、走査線scanを選択状態とし、データ線dataに輝度情報を表すデータ電位Vwを印加すると、TFT1が導通し、保持容量Cが充電又は放電され、TFT2のゲート電位はデータ電位Vwに一致する。走査線scanを非選択状態とすると、TFT1がオフになり、TFT2は電気的にデータ線dataから切り離されるが、TFT2のゲート電位は保持容量Cによって安定に保持される。TFT2を介して発光素子OLEDに流れる電流は、TFT2のゲート／ソース間電圧Vgsに応じた値となり、発光素子OLE

DはTFT 2を通って供給される電流量に応じた輝度で発光し続ける。

さて、TFT 2のドレン／ソース間に流れる電流を  $I_{ds}$  とすると、これが OLEDに流れる駆動電流である。TFT 2が飽和領域で動作するものとすると、 $I_{ds}$  は以下の式で表される。

$$\begin{aligned} I_{ds} &= \mu \cdot C_{ox} \cdot W/L/2 (V_{gs} - V_{th})^2 \\ &= \mu \cdot C_{ox} \cdot W/L/2 (V_w - V_{th})^2/2 \quad \dots \quad (1) \end{aligned}$$

ここで  $C_{ox}$  は単位面積辺りのゲート容量であり、以下の式で与えられる。

$$C_{ox} = \epsilon_0 \cdot \epsilon_r / d \quad \dots \quad (2)$$

(1) 式及び(2)式中、 $V_{th}$  は TFT 2 の閾値を示し、 $\mu$  はキャリアの移動度を示し、Wはチャネル幅を示し、Lはチャネル長を示し、 $\epsilon_0$  は真空の誘電率を示し、 $\epsilon_r$  はゲート絶縁膜の比誘電率を示し、dはゲート絶縁膜の厚みを示している。

(1) 式によれば、画素へ書き込む電位  $V_w$  によって  $I_{ds}$  を制御でき、結果として発光素子 OLED の輝度を制御できることになる。ここで、TFT 2を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においては  $I_{ds}$  は  $V_{gs}$  のみによって制御され、ドレン／ソース間電圧  $V_{ds}$  には依存しないため、OLEDの特性ばらつきにより  $V_{ds}$  が変動しても、所定量の駆動電流  $I_{ds}$  を OLED に流すことができるからである。

上述したように、図 1 に示した画素の回路構成では、一度  $V_w$  による書き込みを行えば、次に書き換えられるまで一走査サイクル（一フレーム）の間、OLED は一定の輝度で発光を継続する。このような画素を図 2 のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図 2 に示すように、従来の表示装置は、所定の走査サイクル（例えば NTSC 規格に従ったフレーム周期）で画素 25 を選択するための走査線  $s_{can1}$  乃至  $s_{canN}$  と、画素 25 を駆動するための輝度情報（データ電位  $V_w$ ）を与えるデータ線  $data$  とがマトリクス状に配設されている。走査線  $s_{can1}$  乃至  $s_c$

a n Nは走査線駆動回路 2 1に接続される一方、データ線 data はデータ線駆動回路 2 2に接続される。走査線駆動回路 2 1によって走査線 scan 1乃至 scan Nを順次選択しながら、データ線駆動回路 2 2によってデータ線 data からVwによる書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素に含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図 2 に示したアクティブマトリクス型の表示装置では、書き込み終了後も各画素 2 5 の発光素子が発光を継続するため、単純マトリクス型に比べ発光素子の駆動電流のレベルを下げられるなどの点で、取り分け大型高精細のディスプレイでは有利となる。

図 3 は、図 2 に示した画素 2 5 の断面構造を模式的に表している。但し、図示を容易にするため、OLEDと TFT 2 のみを表している。OLEDは、透明電極 1 0、有機EL層 1 1 及び金属電極 1 2 を順に重ねたものである。透明電極 1 0は画素毎に分離しており OLEDのアノードとして機能し、例えば ITO 等の透明導電膜からなる。金属電極 1 2 は画素間で共通接続されており、OLEDのカソードとして機能する。即ち、金属電極 1 2 は所定の電源電位 Vdd に共通接続されている。有機EL層 1 1 は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード（正孔注入電極）として機能する透明電極 1 0 の上に正孔輸送層として Diamond を蒸着し、その上に電子輸送層として Alq3 を蒸着し、更にその上にカソード（電子注入電極）として機能する金属電極 1 2 を成膜する。尚、Alq3 は、8-hydroxy quinoline aluminum を表している。このような積層構造を有する OLEDは一例に過ぎない。かかる構成を有する OLEDのアノード／カソード間に順方向の電圧（10V程度）を印加すると、電子や正孔等キャリアの注入が起こり、発光が観測される。OLEDの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

一方、TFT 2 はガラス等からなる基板 1 の上に形成されたゲート電極 2 と、

その上面に重ねられたゲート絶縁膜3と、このゲート絶縁膜3を介してゲート電極2の上方に重ねられた半導体薄膜4とからなる。この半導体薄膜4は例えば多結晶シリコン薄膜からなる。TFT2はOLEDに供給される電流の通路となるソースS、チャネルCh及びドレインDを備えている。チャネルChは丁度ゲート電極2の直上に位置する。このボトムゲート構造のTFT2は層間絶縁膜5により被覆されており、その上にはソース電極6及びドレイン電極7が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。なお、図3の例ではTFT2のドレインにOLEDのアノードを接続する為、TFT2としてPチャネル薄膜トランジスタを用いている。

アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般にガラス基板上に形成されたTFT (Thin Film Transistor or、薄膜トランジスタ) が利用されるが、これは次の理由による。すなわち、有機ELディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。更に、発光素子から光を取り出すために、有機EL層のアノード(陽極)として、通常は透明導電膜であるITO (Indium Tin Oxide) が使用されるが、ITOは一般に有機EL層が耐えられない高温下で成膜されることが多く、この場合ITOは有機EL層が形成される以前に形成しておく必要がある。従って、製造工程は概ね以下のようになる。

再び図3を参照すると、先ずガラス基板1上にゲート電極2、ゲート絶縁膜3、アモルファスシリコン (Amorphous Silicon、非晶質シリコン) からなる半導体薄膜4を順次堆積・パタニングし、TFT2を形成する。場合によってはアモルファスシリコンをレーザアニール等の熱処理によってポリシリコン (多結晶シリコン) 化することもある。その場合一般的に、アモルファスシリコンに比べてキャリア移動度が大きく、電流駆動能力の大きなTFT2を作

ることができる。次に、発光素子OLEDのアノードとなるITO透明電極10を形成する。続いて、有機EL層11を堆積し、発光素子OLEDを形成する。最後に、金属材料（例えばアルミニウム）によって発光素子のカソードとなる金属電極12を形成する。

この場合、光の取り出しへは基板1の裏側（下面側）からとなるので、基板1には透明な材料（通常はガラス）を使用する必要がある。かかる事情から、アクティブマトリクス型有機ELディスプレイでは、比較的大型のガラス基板1が使用され、能動素子としてはその上に形成することが比較的容易なTFTが使用されるのが普通である。最近では光を基板1の表側（上面側）から取り出す試みもある。この場合の断面構造を図4に示す。図3と異なる点は、発光素子OLEDを金属電極12a、有機EL層11及び透明電極10aを順に重ね、TFT2としてNチャネルトランジスタを用いたことである。

その場合においては、基板1はガラスのように透明である必要はないが、大型の基板上に形成するトランジスタとしては、やはりTFTが利用されるのが一般的である。ところが、TFTの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、上述したようにレーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

この結果、同一基板上に形成したTFTでも、そのV<sub>th</sub>（閾値）が画素によって数百mV、場合によっては1V以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位V<sub>w</sub>を書き込んでも、画素によってV<sub>th</sub>がばらつく結果、前掲の（1）式に従って、OLEDに流れる電流I<sub>ds</sub>は画

素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。これはV<sub>t h</sub>のみではなく、キャリア移動度μ等(1)式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、OLEDに流すべき所望の電流I<sub>ds</sub>に対し、データ線電位V<sub>w</sub>をどう設定すべきかについて、製品毎に(1)式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるTFTの特性変動、更に長期間の使用によって生ずるTFT特性の経時変化については対策を講ずることが極めて難しい。

#### 発明の開示

本発明の目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に画素の発光素子等に所望の電流を供給できる電流駆動回路、およびそれを用い、結果として高品位な画像を表示することが可能な表示装置、画素回路、並びに発光素子の駆動方法を提供することにある。

上記目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えている。特徴事項として、当該画素は、当該走査線が選択された時当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とからなる。具体的には、前記変換部は、ゲート、

ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、前記受入部によって取り込まれた信号電流を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、前記容量は前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる。前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す。

一実施形態では、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでいる。この駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して前記発光素子に流す。前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する。前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す。

他の実施形態では、前記駆動部は、前記変換部との間で前記変換用絶縁ゲート

型電界効果トランジスタを時分割的に共用している。前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す。前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する。前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する。或いは、前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、前記制御用絶縁ゲート型電界効果トランジスタは、発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、発光素子の駆動時には導通状態に切り替わる。加えて前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間との割合を制御して、各画素の輝度を制御可能にする。場合によっては、前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通じて前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する。

本発明の発展形では、前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する。又、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通じ駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがド

レインに接続している。或いは、前記駆動部は、ゲート、ドレン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレンとソースの間を通る駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。又、前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。この場合、前記駆動部は、ゲート、ドレン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は一端が前記絶縁ゲート型電界効果トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。なお、前記発光素子は例えば有機エレクトロルミネッセンス素子を用いる。

本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレン間を流れ、結果その電流レベルに応じたゲート・ソース間電圧を生ずる。第二に

、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、OLEDに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれとは別に画素内部に設けられ前記変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、OLED駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第1の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第2の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

本発明は、既に述べたようにTFTの特性ばらつきによらず、正確に所望の電流をOLEDに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをTFT1、駆動用絶縁ゲート型電界効果トランジスタをTFT2、取込用絶縁ゲート型電界効果トランジスタをTFT3、スイッチ用絶縁ゲート型電界効果トランジスタをTFT4と記す。但し本発明はTFT（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やSOI基板に形成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、TFT1に流す信号電流を $I_w$ 、その結果TFT1に生ずるゲート・ソース間電圧を $V_{gs}$ とする。書き込み時はTFT4によってTFT1のゲート・ドレイン間が短絡されて

いるので、TFT1は飽和領域で動作する。よって、 $I_w$ は、以下の式で与えられる。

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \dots \quad (3)$$

ここで各パラメータの意味は前記(1)式の場合に準ずる。次に、OLEDに流れる電流を $I_{drv}$ とすると、 $I_{drv}$ は、OLEDと直列に接続されるTFT2によって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が(3)式の $V_{gs}$ に一致するので、TFT2が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \dots \quad (4)$$

各パラメータの意味は前記(1)式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、 $V_{ds}$ をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \dots \quad (5)$$

ここで、TFT1とTFT2とは、小さな画素内部に近接して形成されるため、事実上 $\mu_1 = \mu_2$ ,  $C_{ox1} = C_{ox2}$ ,  $V_{th1} = V_{th2}$ と考えられる。すると、このとき(3)式及び(4)式から容易に以下の式が導かれる。

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \dots \quad (6)$$

ここで注意すべき点は、(3)式及び(4)式において、 $\mu$ 、 $C_{ox}$ 、 $V_{th}$ の値自体は、画素毎、製品毎、あるいは製造ロット毎にはらつくのが普通であるが、(6)式はこれらのパラメータを含まないので、 $I_{drv} / I_w$ の値はこれらのばらつきに依存しないということである。例えば $W_1 = W_2$ ,  $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち $I_w$ と $I_{drv}$ が同一の値となる。すなわちTFTの特性ばらつきによらず、OLEDに流れる駆動電流 $I_{drv}$ は、正確に信号電流 $I_w$ と同一となるので、結果としてOLEDの発光輝度を正確に制御できる。上記は一例であるが、以下に実施例を挙げて説明するように、W

1, W2, L1, L2の設定如何によって  $I_w$  と  $I_{drv}$  の比は自由に決められるし、あるいは TFT1 と TFT2 を同一の TFT で兼用することも可能である。

このように、本発明によれば、TFT の特性ばらつきによらず、正確な電流を OLED に流すことができるが、更に (6) 式によれば、  $I_w$  と  $I_{drv}$  とが単純な比例関係にあることも大きな利点である。すなわち、図 1 の従来例においては、(1) 式に示したように、  $V_w$  と  $I_{drv}$  とが TFT の特性に依存して非線型であり、駆動側の電圧制御が複雑にならざるを得ない。また、(1) 式に示した TFT の特性のうち、キャリア移動度  $\mu$  は、温度によって変動することが知られている。この場合、従来例では(1)式に従って、  $I_{drv}$  が、ひいては OLED の発光輝度が変化してしまうが、本発明によればそのような心配もなく、安定して (6) 式で与えられる  $I_{drv}$  の値を OLED に供給できる。

(4) 式においては、TFT2 が飽和領域で動作すると仮定したが、本発明は TFT2 がリニア領域で動作する場合についても有効である。すなわち、TFT2 がリニア領域で動作する場合は、  $I_{drv}$  は以下の式で与えられる。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W2 / L2 * \{ (V_{gs} - V_{th2}) V_{ds2} - V_{ds2}^2 / 2 \} \quad \dots \quad (7)$$

$V_{ds2}$  は TFT2 のドレイン・ソース間電圧である。ここで TFT1, TFT2 は近接して配置されており、その結果  $V_{th1} = V_{th2} = V_{th}$  が成り立つものすると、(3) 式、(7) 式から  $V_{gs}$ ,  $V_{th}$  を消去することができて、以下の式を得る。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W2 / L2 * \{ (2I_w \cdot L1 / \mu_1 \cdot C_{ox1} \cdot W1)^{1/2} V_{ds2} - V_{ds2}^2 / 2 \} \quad \dots \quad (8)$$

この場合、  $I_w$  と  $I_{drv}$  の関係は、(6) 式のような単純な比例関係にはならないが、(8) 式には  $V_{th}$  が含まれていないことから、  $V_{th}$  のばらつき（画面内のばらつきや製造ロット毎のばらつき）によって  $I_w$  と  $I_{drv}$  の関係が

左右されることは無いことがわかる。すなわち、 $V_{th}$ のばらつきによらず、所定の  $I_w$  を書き込むことによって、所望の  $I_{drv}$  を得ることができる。ただし、 $\mu$  や  $C_{ox}$  が画面内ではばらつくような場合は、それらの値によって、特定の  $I_w$  をデータ線に与えた場合でも、(8) 式から決まる  $I_{drv}$  の値はばらつくことになるので、TFT2 は前述のように飽和領域で動作する方が望ましい。

また TFT3 と TFT4 を別々の走査線によって制御し、書き込み終了時には TFT3 に先だって TFT4 を off 状態とすることがより望ましい。本発明に係る画素回路においては、TFT3 と TFT4 は、同一導電タイプである必要はなく、TFT3 と TFT4 とは同一または異なる導電タイプであり、それぞれのゲートを別々の走査線によって制御し、書き込み終了時には TFT3 に先だって TFT4 が off 状態とするように構成することが望ましい。

また、TFT3、TFT4 をそれぞれ別の走査線によって制御する場合は、書き込み終了後、走査線の操作によって TFT4 を on 状態とし、走査線単位で画素を消灯することができる。これは、TFT1 のゲート・ドレイン、及び TFT2 のゲートが接続されるため、TFT2 のゲート電圧は TFT1 のしきい値（これは TFT2 のしきい値にほぼ等しい）となり、TFT1、TFT2 共に off 状態となるからである。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。R、G、B の色毎に第 2 の走査線を分け、別々に制御すれば色バランス調整も簡便に行うことができる。

更に、同じ時間平均輝度を得たい場合、発光期間の割合 (duty) を減らすことによって発光素子 OLED の駆動電流を大きくできる。

#### 図面の簡単な説明

図 1 は、従来の画素回路の例を示す回路図である。

図 2 は、従来の表示装置の構成例を示すブロック図である。

図3は、従来の表示装置の構成例を示す断面図である。

図4は、従来の表示装置の他の構成例を示す断面図である。

図5は、本発明にかかる画素回路の実施形態を示す回路図である。

図6は、図5の実施形態における各信号の波形の例を示す波形図である。

図7は、図5の実施形態にかかる画素回路を使用した表示装置の構成例を示すブロック図である。

図8は、図5の実施形態の変形例を示す回路図である。

図9は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図10は、図9の実施形態における各信号の波形の例を示す波形図である。

図11は、図9の実施形態の変形例を示す回路図である。

図12は、図9の実施形態の変形例を示す回路図である。

図13は、図9の実施形態の変形例を示す回路図である。

図14は、図9の実施形態の変形例を示す回路図である。

図15は、本発明にかかる画素回路の別の実施形態を示す回路図である。

図16は、図15の実施形態の変形例を示す回路図である。

図17は、図15の実施形態の変形例を示す回路図である。

図18は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図19は、図18の実施形態の変形例を示す回路図である。

図20は、図19の回路における走査線単位で画素の消灯を行う場合を説明するための図である。

図21は、図19の実施形態の変形例を示す回路図である。

図22は、図19の実施形態の変形例を示す回路図である。

図23は、図22の回路及び従来回路の変換用トランジスタを流れる電流特性を示す図である。

図24は、図19の実施形態の変形例を示す回路図である。

図25は、図23の回路及び従来回路のデータ線電位を示す図である。

図26は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図27は、本発明にかかる画素回路の他の実施形態を示す回路図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態を添付図面を参照して説明する。

図5は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタTFT1、有機EL素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT2の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するスイッチ用トランジスタTFT4、TFT1のゲート・ソース間電圧を、書き込み終了後も保持するための容量C、及び発光素子OLEDから成る。図5でTFT3はPMOS、その他のトランジスタはNMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT1のゲートに接続され、他方の端子はGND(接地電位)に接続されているが、GNDに限らず任意の一定電位でも良い。OLEDのアノード(陽極)は正の電源電位Vddに接続されている。

基本的に、本発明にかかる表示装置は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流Iwを生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA, scanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、図5に示した当該画素は、当該走査線scanAが選択された時当該データ線dataから信号電流Iwを取り込む受入部と、取り込んだ信号電流Iwの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する

駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT1と、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トランジスタTFT1は、前記受入部によって取り込まれた信号電流Iwを前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、容量Cは前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタTFT1のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT4を含んでいる。スイッチ用薄膜トランジスタTFT4は、信号電流Iwの電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT1のドレインとゲートを電気的に接続してソースを基準とする電圧レベルをTFT1のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT4は、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT1のゲート及びこれに接続した容量CをTFT1のドレインから切り離す。

更に、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用薄膜トランジスタTFT2を含んでいる。駆動用薄膜トランジスタTFT2は、容量Cに保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して発光素子OLEDに流す。変換用薄膜トランジスタTFT1のゲートと駆動用薄膜トランジスタTFT2のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流Iwの電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタTFT2は、画素内で対応する変換用薄膜トランジスタTFT1の近傍に形成されており、変換用薄膜トランジスタTFT1と同等の閾電圧を有する。駆動用薄膜トランジスタTFT2は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子OLEDに流す。

本画素回路の駆動方法は次の通りであり、駆動波形を図6に示す。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする

。図5の例では、第1の走査線 scan Aを低レベル、第2の走査線 scan Bを高レベルとしている。両走査線が選択された状態でデータ線 data に電流源 CS を接続することにより、TFT 1 に輝度情報に応じた信号電流  $I_w$  が流れる。電流源 CS は輝度情報に応じて制御される可変電流源である。このとき、TFT 1 のゲート・ドレイン間は TFT 4 によって電気的に短絡されているので(5)式が成立し、TFT 1 は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧  $V_{gs}$  が生ずる。次に、第1の走査線 scan A, 第2の走査線 scan Bを非選択状態とする。詳しくは、まず第2の走査線 scan Bを低レベルとして TFT 4 を off 状態とする。これによって  $V_{gs}$  が容量 C によって保持される。次に第1の走査線 scan Aを高レベルとして off 状態とすることにより、画素回路とデータ線 data とが電気的に遮断されるので、その後はデータ線 data を介して別の画素への書き込みを行うことができる。ここで、電流源 CS が信号電流の電流レベルとして出力するデータは、第2の走査線 scan B が非選択となる時点では有効である必要があるが、その後は任意のレベル(例えば次の画素の書き込みデータ)とされて良い。TFT 2 は TFT 1 とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT 2 が飽和領域で動作していれば、TFT 2 を流れる電流は(4)式で与えられ、これがすなわち発光素子 OLED に流れる駆動電流  $I_{drv}$  となる。TFT 2 を飽和領域で動作させるには、発光素子 OLED での電圧降下を考慮してもなお(5)式が成立するよう、十分な正電位を  $V_{dd}$  に与えれば良い。

上記の駆動によれば、発光素子 OLED に流れる電流  $I_{drv}$  は先の(6)式

$$I_{drv} = (W_2/L_2) / (W_1/L_1) \cdot I_w$$

で与えられ、TFTの特性ばらつきによらず、正確に  $I_w$  に比例した値となる。比例定数である  $(W_2/L_2) / (W_1/L_1)$  については、諸般の事情を考慮して適当な値に定めることができる。例えば、一画素の発光素子 OLED に流す

路B23に入力される。走査線駆動回路A21、走査線駆動回路B23はVSPを受けた後、垂直クロック（VCKA、VCKB）に同期してそれぞれ第1の走査線 scan A1～scan AN、第2の走査線 scan B1～scan BNを順次選択する。各データ線 data に対応して電流源CSがデータ線駆動回路22内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源CSは、図示の電圧／電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、VCKAは、VCKBに対し、遅延回路24によってわずかに遅延されている。これにより、図6に示したように、第2の走査線 scan Bが第1の走査線 scan Aに先立って非選択となる。

図8は図5の画素回路の変形例である。この回路は、図5におけるTFT2を、TFT2aとTFT2bの2つのトランジスタを直列に接続したダブルゲート構成とし、また図5におけるTFT4を、TFT4aとTFT4bの2つのトランジスタを直列に接続したダブルゲート構成にしたものである。TFT2aとTFT2b及びTFT4aとTFT4bはそれぞれゲートを共通接続されているので、基本的には単一のトランジスタと同様の動作をし、その結果図8の画素回路も図5の画素回路と同様の動作をする。ところで、単一のトランジスタ、特にTFTでは、何らかの欠陥等によってオフ時のリーク電流が大きくなる場合がある。このため、リーク電流を抑えたい場合には複数のトランジスタを直列に接続する冗長構成を採用することが好ましい。こうすれば、いずれか一方のトランジスタにリークがあっても、他方のトランジスタのリークが小さければ、全体としてのリークは抑えられるからである。図8のTFT2aとTFT2bのような構成をとれば、リーク電流が少ないとによって、輝度ゼロ（電流ゼロ）の場合に表示の黒レベルの品位が良くなるというメリットを生ずる。またTFT4aとTFT4bのような構成をとれば、容量Cに書き込まれた輝度情報を安定に保持でき

るというメリットを生ずる。これらについては、同様に3つ以上のトランジスタを直列に構成することも可能である。以上のように本変形例では、前記受入部、前記変換部及び前記駆動部は複数の薄膜トランジスタTFTを組み合わせた電流回路を構成し、1つまたは2つ以上の薄膜トランジスタ(TFT)は電流回路中の電流リークを抑制するためにダブルゲート構造を有する。

図9は本発明にかかる画素回路の他の実施例である。この回路は、信号電流 $I_w$ が流れるトランジスタTFT1自身が、発光素子OLEDに流れる電流 $I_{drv}$ を制御することが特徴である。前述の図5に示した画素回路では、TFT1とTFT2の特性( $V_{th}$ や $\mu$ など)が互いにわずかに異なっている場合、正確には(6)式が成立せず、 $I_w$ と $I_{drv}$ が正確には比例しない可能性があるが、図9の画素回路ではこのような問題が原理的に生じない。図9の画素回路は、TFT1の他、第1の走査線scan Aの制御によって画素回路とデータ線dataとを接続もしくは遮断するトランジスタTFT3、第2の走査線scan Bの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するトランジスタTFT4、TFT1のゲート・ソース間電圧を書き込み終了後も保持するための容量C、及び有機EL素子からなる発光素子OLEDを備えている。保持容量Cは、その一方の端子がTFT1のゲートに接続され、他方の端子はGND(接地電位)に接続されているが、GNDに限らず任意の一定電位でも良い。発光素子OLEDのアノード(陽極)は、走査線単位で配設されたアノード線Aに接続されている。TFT3はPMOS、その他のトランジスタはNMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。

以上のように本実施形態では、画素回路の駆動部は、変換部との間で変換用薄膜トランジスタTFT1を時分割的に共用している。即ち、駆動部は、信号電流 $I_w$ の変換を完了した後変換用薄膜トランジスタTFT1を受入部から切り離して駆動用とし、保持された電圧レベルを変換用薄膜トランジスタTFT1のゲートに印加した状態でチャネルを通じ駆動電流を発光素子OLEDに流す。又、駆

動部は、駆動時以外に変換用薄膜トランジスタTFT1を介して発光素子OLEDに流れる不要電流を遮断する制御手段を有する。本例の場合、制御手段は、整流作用を有する二端子型の発光素子OLEDの端子間電圧をアノード線Aにより制御して不要電流を遮断する。

この回路の駆動方法は次の通りであり、駆動波形を図10に示す。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。図10の例では、第1の走査線scanAを低レベル、第2の走査線scanBを高レベルとしている。ここでデータ線dataに電流値Iwの電流源CSを接続するが、Iwが発光素子OLEDを介して流れるのを防ぐために、発光素子OLEDのアノード線Aは発光素子OLEDがoff状態となるように低レベル(例えばGNDないし負電位)としておく。これにより、TFT1に信号電流Iwが流れる。このとき、TFT1のゲート・ドレイン間はTFT4によって電気的に短絡されているので(5)式が成立し、TFT1は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧Vgsが生ずる。次に第1の走査線scanA、第2の走査線scanBを非選択状態とする。詳しくは、まず第2の走査線scanBを低レベルとしてTFT4をoff状態とする。これによってTFT1生じたVgsが容量Cに保持される。次に第1の走査線scanAを高レベルとしてTFT3をoff状態とすることにより、画素回路とデータ線dataとが電気的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流Iwとして供給するデータは、第2の走査線scanBが非選択となる時点では有効である必要があるが、その後は任意の値(例えば次の画素の書き込みデータ)とされて良い。続いて、アノード線Aを高レベルとする。TFT1のVgsは容量Cによって保持されているので、TFT1が飽和領域で動作していれば、TFT1を流れる電流は(3)式のIwに一致し、これが即ち、発光素子OLEDに流れる駆動電流Idrvとなる。つまり信号電流Iwが発光素子OLED

の駆動電流  $I_{drv}$  と一致する。TFT1を飽和領域で動作させるには、発光素子OLEDでの電圧降下を考慮しても尚(5)式が成立するよう、十分な正電位をアノード線Aに与えれば良い。上記の駆動によれば、発光素子OLEDに流れる電流  $I_{drv}$  は、TFTの特性ばらつきによらず、正確に  $I_w$  に一致する。

図11は、図9に示した画素回路の変形例である。図11では、図9のようなアノード線はなく、発光素子OLEDのアノードは一定の正電位  $V_{dd}$  に接続されている一方、TFT1のドレインと発光素子OLEDのカソード(陰極)との間にPチャネルトランジスタTFT5が挿入されている。TFT5のゲートは、走査線単位で配設された駆動線  $d_{rv}$  で制御される。TFT5を挿入する目的は、データ書き込み時に駆動線  $d_{rv}$  を高レベルとしてTFT5をoff状態とし、信号電流  $I_w$  が発光素子OLEDを介して流れるのを防止することである。書き込みが終了した後、 $d_{rv}$  を低レベルとしてTFT5をon状態とし、発光素子OLEDに駆動電流  $I_{drv}$  を流す。これ以外の動作は図9の回路と同様である。

本例は発光素子OLEDと直列に接続されたTFT5を含み、TFT5に与える制御信号に応じて発光素子OLEDに流れる電流を遮断することが可能である。制御信号は、走査線  $scan$  と平行に設けた駆動線  $d_{rv}$  を介して同一走査線上の各画素に含まれるTFT5のゲートに与えられる。本例では、発光素子OLEDとTFT1との間にTFT5が挿入されており、TFT5のゲート電位の制御によって、発光素子OLEDに流れる電流をオン／オフすることができる。本例によれば、各画素が発光するのは発光制御信号によってTFT5がオンしている時間分である。そのオン時間を  $\tau$  とし、一フレームの時間を  $T$  とすると、画素が発光している時間的割合即ちデューティは概ね  $\tau/T$  となる。発光素子の時間平均輝度はこのデューティに比例して変化する。従って、TFT5を制御してオン時間  $\tau$  を変更することにより、ELディスプレイの画面輝度を簡便且つ幅広い範囲で可変調整することもできる。

以上のように本例では、制御手段が変換用薄膜トランジスタTFT1と発光素子OLEDとの間に挿入された制御用薄膜トランジスタTFT5からなる。制御用薄膜トランジスタTFT5は、発光素子OLEDの非駆動時に非導通状態となって変換用薄膜トランジスタTFT1と発光素子OLEDとを切り離し、駆動時には導通状態に切り替わる。更に、この制御手段は、非駆動時に駆動電流を遮断して発光素子OLEDを非発光状態に置くオフ時間と、駆動時に駆動電流を流して発光素子OLEDを発光状態に置くオン時間の割合を制御して、各画素の輝度を制御可能である。本例によれば、表示装置は走査線単位で輝度情報を各画素に書き込んだ後、次の走査線サイクル（フレーム）の輝度情報が新たに書き込まれる以前に、走査線単位で各画素に含まれる発光素子を一括して消灯できる。これによれば、輝度情報の書き込み後発光素子の点灯から消灯するまでの時間を調節できることになる。即ち、一走査サイクルにおける発光時間の割合（デューティ）を調節できることになる。発光時間（デューティ）の調節は等価的に各発光素子に供給する駆動電流を調節することに相当する。よって、デューティを調節することにより簡便且つ自在に表示輝度を調整することが可能である。更に重要な点は、デューティを適切に設定することで、等価的に駆動電流を大きくすることができます。例えば、デューティを1/10にすると、駆動電流を10倍にしても同等の輝度が得られる。駆動電流を10倍にすればこれに対応する信号電流も10倍に出来る為、微弱な電流レベルを扱わなくて良い。

図12は、図9に示した画素回路の別の変形例である。図12では、TFT1のドレインと発光素子OLEDのカソードとの間にTFT6が挿入され、TFT6のゲート・ドレイン間にはTFT7が接続され、そのゲートは第2の走査線scanBによって制御されている。TFT7のソースとGND電位との間には補助容量C2が接続されている。この回路の駆動方法は図9の画素回路の場合と基本的に同様であるが、以下に説明する。尚、駆動波形は図10の場合と同様である。先ず、書き込み時には、走査線単位で配設されたアノード線Aを低レベル（

例えばGNDないし負電位)としてOLEDに電流が流れないようにした状態で第1の走査線 scan A, 第2の走査線 scan Bを選択状態とすると、信号電流  $I_w$  が TFT 1 及び TFT 6 を流れる。両 TFT 共、ゲート・ソース間がそれぞれ TFT 4 及び TFT 7 によって短絡されているので、飽和領域で動作する。次に第1の走査線 scan A, 第2の走査線 scan B を非選択状態とする。これによって先に TFT 1 及び TFT 6 に生じた  $V_{gs}$  が容量 C 及び補助容量 C 2 によってそれぞれ保持される。次に第1の走査線 scan A を off 状態とすることにより、画素回路とデータ線 data とが電気的に遮断されるので、その後はデータ線 data を介して別の画素への書き込みを行うことができる。続いてアノード線 A を高レベルとする。TFT 1 の  $V_{gs}$  は容量 C によって保持されているので、TFT 1 が飽和領域で動作していれば、TFT 1 を流れる電流は(3)式の  $I_w$  に一致し、これがすなわち発光素子 OLED に流れる電流  $I_{drv}$  となる。つまり、信号電流  $I_w$  が発光素子 OLED の駆動電流  $I_{drv}$  と一致する。

ここで、TFT 6 の作用について説明する。図 9 の画素回路においては、前述したように、信号電流  $I_w$  と発光素子 OLED の駆動電流は共に TFT 1 によって決まるので、(3)式、(4)式より  $I_w = I_{drv}$  であった。ただし、これは TFT 1 を流れる電流  $I_{ds}$  が、飽和領域において(1)式で与えられる場合、すなわち  $I_{ds}$  がドレイン・ソース間電圧  $V_{ds}$  に依存しないとした場合である。しかし現実のトランジスタでは、 $V_{gs}$  が一定であっても、 $V_{ds}$  が大きい程  $I_{ds}$  が大きくなる場合がある。これは、 $V_{ds}$  が大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャネル長が減少する、いわゆるショートチャネル効果や、ドレインの電位がチャネル電位に影響を与えてチャネルの導電率が変化する、いわゆるバックゲート効果などのためである。この場合、トランジスタを流れる電流  $I_{ds}$  は、例えば以下の式のようになる。

$$I_{ds} = \mu \cdot C_o x \cdot W/L / 2 (V_{gs} - V_{th})^2 * (1 + \lambda \cdot V_{ds})$$

… (9)

従って、 $I_{ds}$ は $V_{ds}$ に依存することになる。ここで、 $\lambda$ は正の定数である。この場合、図9の回路では、書き込み時と駆動時とで $V_{ds}$ が同一でなければ、 $I_w$ と $I_{drv}$ とは一致しない。

これに対し、図12の回路の動作を考える。図12のTFT6の動作に注目すると、そのドレイン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレイン電位の方が高い場合、TFT6の $V_{ds}$ も大きくなり、これを(9)式に当てはめれば、書き込み時と駆動時とで $V_{gs}$ が一定であっても、 $I_{ds}$ は駆動時の方が増加する。言い換れば $I_w$ より $I_{drv}$ が大きくなつて両者は一致しない。ところが、 $I_{drv}$ はTFT1を流れるので、その場合TFT1での電圧降下が大きくなり、そのドレイン電位(TFT6のソース電位)が上昇する。この結果TFT6の $V_{gs}$ は小さくなり、これは $I_{drv}$ を小さくする方向に作用する。結果として、TFT1のドレイン電位(TFT6のソース電位)は大きく変動することができず、TFT1に注目すれば、書き込み時と駆動時とで $I_{ds}$ が大きくは変わらないことがわかる。すなわち、 $I_w$ と $I_{drv}$ とがかなり精度よく一致することになる。この動作をより良く行わせるためには、TFT1、TFT6共に $V_{ds}$ に対する $I_{ds}$ の依存性を小さくするのが良いので、両トランジスタを飽和領域で動作させることが望ましい。書き込み時にはTFT1、TFT6共にゲート・ドレイン間が短絡されているので、書き込まれる輝度データによらず、必然的に両者共飽和領域で動作する。駆動時にも飽和領域で動作させるには、発光素子OLEDでの電圧降下を考慮しても尚TFT6が飽和領域で動作するよう、アノード線Aに十分な正電位を与えれば良い。この駆動によれば、発光素子OLEDに流れる電流 $I_{drv}$ は、TFTの特性ばらつきによらず、図9の実施例より正確に $I_w$ に一致する。以上のように本例の駆動部は、変換用薄膜トランジスタTFT1を通じて発光素子OLEDに流れる駆動電流の

電流レベルを安定化するために、変換用薄膜トランジスタTFT1のソースを基準にしたドレインの電位を固定化する電位固定手段として、TFT6, TFT7及びC2を有する。

図13は本発明にかかる画素回路の別の実施例である。この画素回路は、図9、図11、図12の回路と同様、信号電流Iwが流れるトランジスタTFT1自身が、発光素子OLEDに流れる電流Idrvを制御するが、図13では発光素子OLEDがTFT1のソース側に接続されていることが特徴である。即ち、本画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタTFT1を含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子OLEDに流す。発光素子OLEDは、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。これに対し、図9に示した画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子に流す一方、発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。

本例の画素回路は、TFT1の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断するトランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するトランジスタTFT4、TFT1のゲート電位を、書き込み終了後も保持するための容量C、TFT1のドレインと電源電位Vddとの間に挿入されたPチャネルトランジスタTFT5、及び発光素子OLEDから成る。図13では、容量Cの一方の端子がGNDに接続されており書き込み時と駆動時とでTFT1のVgsを概ね同じ値に保持する。尚、TFT5のゲートは駆動線drvで制御される。TFT5を挿入する目的は、データ書き込み時に駆動線drvを高レベルとしてTFT5をoff状態とし、信号電流IwをすべてTFT1に流すことである。書き込みが終了した後、drvを低レベルとしてTFT5をo

$n$  状態とし、発光素子 OLED に駆動電流  $I_{drv}$  を流す。このように、駆動方法は図 11 の回路と同様である。

図 14 は、図 13 に示した画素回路の変形例である。図 13 と図 14 とでは、容量 C の一方の端子が、図 13 では GND、図 14 では TFT1 のソースに接続されている点が異なるが、いずれの場合も、書き込み時と駆動時とで TFT1 の  $V_{gs}$  を概ね同じ値に保持するという点で機能的な差異はない。

図 15 は図 5 に示した画素回路の発展例である。本画素回路は、変換部によって保持された電圧レベルを下方調整して駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。具体的には、駆動部は、ゲート、ドレイン及びソースを有する薄膜トランジスタ TFT2 を含んでおり、調整手段は、薄膜トランジスタ TFT2 のゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する定電圧源 E を備えている。即ち、TFT2 のソースを TFT1 のソース電位よりわずかに高い電位 E に接続することで、黒レベルを締める。

図 16 は図 15 に示した画素回路の変形例である。本例では、調整手順は、薄膜トランジスタ TFT2 のゲートと第 2 の走査線 scan B に接続した追加容量 C2 からなり、薄膜トランジスタ TFT2 のゲートに印加する為容量 C に保持されるべき電圧レベルを下方調整する。即ち、第 2 の走査線 scan B を低レベルに切り換えて非選択とする際に、容量 C2 の作用で TFT2 のゲート電位を若干下げることが出来る。以上のように本表示装置は、画素を選択するための走査線 scan A と、画素を駆動するための輝度情報を与えるデータ線 data とがマトリクス状に配設され、各画素は、供給される電流量によって輝度が変化する発光素子 OLED と、走査線 scan A によって制御され且つデータ線 data から与えられた輝度情報を画素に書き込む書き込み手段 (TFT1, TFT3, C) と、書き込まれた輝度情報に応じて発光素子 OLED に供給する電流量を制御する駆動手段 (TFT2) とを含み、各画素への輝度情報の書き込みは、走査線 sc

$I_w$  が選択された状態で、データ線  $data$  に輝度情報に応じた電気信号  $I_w$  を印加することによって行われ、各画素に書き込まれた輝度情報は走査線  $scan$  が非選択となった後も各画素に保持され、各画素の発光素子 OLED は保持された輝度情報に応じた輝度で点灯を維持可能であって、書き手段 (TFT1, TFT3, C) によって書き込まれた輝度情報を下方調整して駆動手段 (TFT2) に供給する調整手段 (C2) を含んでおり、各画素の輝度の黒レベルを引き締めることができる。

図17は図15に示した画素回路の変形例である。本例では、調整手順は、TFT1によって変換された電圧レベルを容量Cに保持する時、容量Cの一端の電位を調整して、TFT2のゲートに印加されるべき電圧レベルを下方調整する。即ち、容量Cの一端に接続したソース電位制御線Sを制御することで、黒レベルを締める。電位制御線Sを、書き込み時より低電位とすると、容量Cの作用でTFT2のゲート電位が若干下がるためである。電位制御線Sは走査線単位で設け制御する。電位制御線Sは書き込み中に”H”レベルとし、書き込み終了後”L”とする。振幅を $\Delta V_s$ 、TFT2のゲートに存在する容量（ゲート容量、その他の寄生容量）を $C_p$ とすると、TFT2のゲート電位は $\Delta V_g = \Delta V_s * C / (C + C_p)$ だけ低下し、 $V_{gs}$ が小さくなる。H, L電位の絶対値は任意に設定できる。

図18は本発明にかかる画素回路の他の実施例である。本例の回路は、2つの取込用薄膜トランジスタTFT3及びスイッチ用薄膜トランジスタTFT4を同一導電タイプ（図18ではPMOS）としている。そして本例では、図18に示すように、書き込み動作においてそれらのゲートは共通の走査線  $scan$  に接続し、共通の信号で制御することも可能である。この場合の表示装置は、図7に示す表示装置における走査線駆動回路B23が不要である。

図19は図18に示した画素回路の変形例である。本例では、図5、図8、図9、図11～図17に示した回路と同様に、同一導電タイプPチャネルTFTか

ら構成した2つの取込用薄膜トランジスタTFT3及びスイッチ用薄膜トランジスタTFT4のゲートをそれぞれ異なる走査線、即ち第1の走査線scanA及び第2の走査線scanBに接続して、それぞれ別々に制御する。このように別々に制御する理由は、図18の例のようにTFT3及びTFT4を共通の信号で制御すると次のような不都合が生じる場合があるからである。

ある走査線上の画素に対する書き込みが終了する時、図18の例で走査線scanのレベルが上昇する際、TFT3のインピーダンスは必然的に増大していく、最終的に事実上無限大、すなわちoff状態となる。従ってこの過程においてデータ線dataの電位は次第に上昇するが、ある程度まで上昇した時点でデータ線dataを駆動する電流源が定電流性を失い、電流値は減少する。

具体例として、図18のようにデータ線dataがPNPトランジスタBIP1によって駆動されている例を考える。ベースに流れる電流を一定値Ib、トランジスタBIP1の電流増幅率をβとすると、トランジスタBIP1のコレクタ・エミッタ間に一定程度の電圧（例えば1V）がかかっていれば、トランジスタBIP1はほぼ定電流源として動作し、データ線dataには $I_w = \beta I_b$ の大きさの電流が供給される。ところが、書き込み終了時に、TFT3のインピーダンスが上昇するとデータ線の電位が上昇して行き、トランジスタBIP1が飽和領域に入ると定電流性を失い、駆動電流は $\beta I_b$ より減少する。このときTFT4がon状態であれば、この減少した電流値がTFT1に流れ、正確に所望の電流値が書き込まれないことになる。

従って、TFT3とTFT4を別々の信号線、即ちそれぞれ第1の走査線scanA、第2の走査線scanBによって制御し、書き込み終了時にはTFT3に先だってTFT4をoff状態とすることがより望ましい。本発明に係る画素回路においては、TFT3とTFT4は、前述した各例のように同一導電タイプである必要はなく、TFT3とTFT4とは同一または異なる導電タイプであり、それぞれのゲートをscanA及びscanBという別々の走査線によって制

御し、書き込み終了時にはTFT 3に先だってTFT 4がoff状態とするよう構成することが望ましい。このことは、図面を参照して説明した前述の各例においても同様のことが言える。

また、TFT 3、TFT 4をそれぞれ別の走査線scan A、scan Bによって制御する場合は、書き込み終了後、第2の走査線scan Bの操作によってTFT 4をon状態とし、走査線単位で画素を消灯することができる。これは、TFT 1のゲート・ドレイン、及びTFT 2のゲートが接続されるため、TFT 2のゲート電圧はTFT 1のしきい値（これはTFT 2のしきい値にほぼ等しい）となり、TFT 1、TFT 2共にoff状態となるからである。第2のscan Bの波形は、図20 (b) に示すように、パルス状の消灯信号を与えてても良いし、図20 (c) に示すscan B'のように持続的な消灯信号を与えてても良い。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。R. G. Bの色毎に第2の走査線scan Bを分け、別々に制御すれば色バランス調整も簡便に行うことができる。

更に、同じ時間平均輝度を得たい場合、発光期間の割合(duty)を減らすことによって発光素子OLEDの駆動電流を大きくできる。これは即ちそれだけ大きな書き込み電流を扱うことをも意味するので、データ線dataへの書き込み駆動回路の実現が容易になり、書き込み必要時間も短縮できる。また、発光dutyを50%程度以下にすることによって動画画質が向上する。

また、図5、図8、図9、図11～図18で示した回路と同様に、図19の回路では、取込用薄膜トランジスタTFT 3と変換用薄膜トランジスタTFT 1とを異なる導電タイプとしている。例えば変換用薄膜トランジスタTFT 1がNチャネルタイプの場合、取込用薄膜トランジスタTFT 3をPチャネルタイプとしている。これは以下の理由による。

即ち、データ線を駆動する定電流駆動回路を構成する際して、データ線の電位

変動はなるべく小さいことが望ましい。なぜなら、前述したように、データ線電位の変動幅が広いと、データ線駆動回路が定電流性が失われやすい上、TFT3を確実にon/offするための走査線scanAの振幅も大きくなり、消費電力などの点で不利になるからである。

従って、データ線からTFT3、TFT1を介して接地電位に至る経路の電圧降下が小さいことが望ましい。そこで、図19の例ではTFT1がNMOSであるのに対し、TFT3をPMOSで構成して、TFT3での電圧降下を小さく抑えている。即ちTFT3での電圧降下は、書き込み電流Iwの値が最大のとき最大となるため、データ線の振幅を小さく抑えるためには書き込み電流Iwが最大のときのTFT3における電圧降下を小さくすべきである。図19の例では、書き込み電流Iwが大きいときはそれに応じてデータ線の電位も上昇するが、それに伴ってTFT3のゲート・ソース間電圧の絶対値も増大し、TFT3のインピーダンスは下がる方向に作用する。これに対し、もしTFT3がNMOSであると、書き込み電流Iwが大きくなる程ゲート・ソース間電圧が減少する方向であり、TFT3のインピーダンスは上昇してしまい、データ線電位の上昇を招きやすい。同様に、TFT1をPMOSで構成した場合はTFT3はNMOSで構成するのが良い。

なお、TFT4の導電タイプは、TFT3と同じでも異なっても実用的な構成が可能であるが、同じにすると第1の走査線scanAと第2の走査線scanBとを共通の電位で駆動しやすいため、より望ましい。

図21は図19に示した画素回路の変形例である。本例にかかる画素回路は等価回路的には図19に示した画素回路と同様であるが、変換用薄膜トランジスタTFT1のチャネル幅(W)とチャネル長(L)の比W/Lを駆動用薄膜トランジスタTFT2のW/Lより大きく設定している点が図19の回路と異なる。このようにTFT1のW/LをTFT2のW/Lより大きく設定する理由は、書き込みを確実に終了させるためである。このことについて、具体的な数値を挙げて

以下に説明する。

現実的な数字として、最大輝度 200 [cd/m<sup>2</sup>]、一画素当たりの発光面のサイズ 100 [μm] × 100 [μm] = 1e-8 [m<sup>2</sup>]、発光効率 2 [cd/A] とすると、最大輝度時の発光素子 OLED の駆動電流は  $200 \times 1e-8 / 2 = 1 \mu A$  となる。64 階調を制御しようとすると、最小階調に相当する電流値は  $1 \mu A / 64 = 16 [nA]$  程度となり、このような小さな電流値を正確に供給することは極めて難しい。更に TFT 1 がインピーダンスの高い状態で動作するため、データ線 data の寄生容量等の影響で回路の状態が安定するのに長い時間がかかり、所定の走査線周期内で書き込みを終了することができないことがある。

図21に示すように、TFT1のW/L=100/10、TFT2のW/L=5/20とすれば、W/Lの比が40となり、16nAのOLED駆動電流を得るためにデータ線dataに供給すべき書き込み電流は $16\text{nA} \times 40 = 640\text{nA}$ となり、現実的な数値となり、書き込みを確実に終了させることができる。TFT1やTFT2が複数のトランジスタから成る場合は、実効的なW/Lを考慮して上記計算をすべきであることは当然である。

図22は図19に示した回路の発展例である。本画素回路は、各データ線dataと所定の電位との間にリーク素子LEK1を接続し、黒書き込みの高速化を図っている。

電流書き込み型の画素回路において、「黒」を書き込むケースは書き込み電流がゼロの場合に相当する。このとき、直前の走査線サイクルにおいてデータ線に「白」レベル、すなわち比較的大きな電流が書き込まれ、結果としてデータ線電位が比較的高いレベルになっていたとすると、その直後に「黒」を書き込むには長い時間が必要である。「黒」を書き込むというのはTFT1によって、データ線の容量Cdなどに蓄えられた初期電荷がディスチャージされるということであるが、データ線電位が下がってTFT1のしきい値近傍になるとTFT1のイ

ンピーダンスが高くなり、TFT1の流れる電流特性を示す図23中において特性曲線①で示すように、理論的には永久に「黒」書き込みが終了しない。現実には有限の時間で書き込みを行うわけであるから、これは「黒」レベルが完全に沈まない、いわゆる黒浮き現象として現われ、画像のコントラストを低下させる。

そこで、図22の回路では、データ線dataと接地電位GNDとの間にリーグ素子LEK1、具体的にはNMOSトランジスタを接続し、Vgとしては一定バイアスを与えている。これにより図22において特性曲線②で示すように、「黒」書き込みが確実に終了する。リーグ素子LEK1としては単純な抵抗などでも良いが、その場合「白」書き込み時においてデータ線電位が上昇すると、それに比例して抵抗に流れる電流が増加し、これはTFT1に流れる電流の低下や消費電力の悪化を招く。これに対し、NMOSを飽和領域で動作させれば定電流動作となるため、そのような弊害が小さく抑えられる。なお、リーグ素子はTFTで構成することも、TFTプロセスとは別個に外部部品で構成することも可能である。

図24は図19に示した回路回路の発展例である。本画素回路は、各データ線dataと所定の電位との間に初期値設定用素子PRC1を接続し、その素子の動作によって書き込みに先立ってデータ線の初期値設定を行い、書き込みの高速化を図っている。

電流書き込み型の画素において、黒に近いグレーを書き込む際に長い時間を要する場合がある。図25では書き込み開始時のデータ線の電位が0Vである場合を示している。これは、直前の走査線サイクルにおいて「黒」を書いた場合で、書き込まれた画素のTFT1のしきい値Vth1が0V程度と低い場合、あるいは同様に黒書き込みの場合であって、前述のような黒浮き対策用のリーグ素子を備えた場合に起こり得る。

従来の回路では、初期値の0Vから「黒」に近いグレー、すなわち非常に小さな電流値を書き込んでいるため、平衡電位VBLAに達するのに長い時間がかかる

。例えば図25中において特性曲線①で示すように所定の書き込み時間内にTFT1のしきい値に達しないことも考えられるが、この場合TFT2もオフ状態となり、ただしくグレーが書き込めず、表示画像は、いわゆる黒潰れの状態となる。

図24の回路では、データ線と電源電位Vddとの間に初期値設定（プリチャージ）用素子PRC1としてPMOSトランジスタを接続し、ゲート電位Vgとして、書き込みサイクルの最初にパルスを与えている。このパルス印加によって図25中において特性曲線②で示すようにデータ線電位がTFT1のしきい値Vth1以上に上昇し、その後は書き込み電流Iwと画素内部のTFTの動作とのバランスで決まる平衡電位VBLAに向かって比較的高速に収束するので、正しい輝度データ書き込みが高速で可能になる。なお、プリチャージ用素子はTFTで構成することも、TFTプロセスとは別個に外部部品で構成することも可能である。

図26は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、TFT1とTFT2の導電タイプをPチャネルタイプ（PMOS）により構成している。これに伴い、前述した理由によりTFT3をTFT1と異なる導電タイプであるNチャネルタイプ（NMOS）とし、また制御性を考慮してTFT4もTFT3と同一の導電タイプであるNチャネルタイプ（NMOS）として構成している。

図26に回路において、TFT1、TFT2の両トランジスタは発光素子OLEDの駆動時、等しいゲート・ソース間電圧で動作するが、ドレイン・ソース間電圧は必ずしも等しくない。書き込み電流Iwと発光素子OLEDの駆動電流とが正確に比例するためには先に述べたようにTFT2を飽和領域で動作させるのが望ましい。一方、NMOSの場合、動作耐圧を向上させるためにLDD（Lightly Doped Drain）構造をとることが一般的であるが、この場合LDDによる直列抵抗成分などによって、飽和領域においてドレイン電流がドレイン・ソース間

電圧に影響されやすい、言い換えると定電流性がPMOSに比べて劣る傾向があるためである。

従って、変換用薄膜トランジスタTFT1と駆動用薄膜トランジスタTFT2とを、PMOSにより構成することが好ましい。

この回路の動作は、素子の極性が逆になっている点を除き、基本的には図5の回路等と同様である。

図27は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、スイッチ用薄膜トランジスタTFT4を、変換用薄膜トランジスタTFT1のドレインとゲート間に接続する代わりに、TFT1のドレインとゲートとを直接接続し、その接続点と、TFT2のゲートと容量との接続点との間にTFT4を接続して構成している。

この図27の回路においても、基本的には図5の回路等と同様の動作が可能である。そして、この回路においても、TFT3とTFT4とは同一または異なる導電タイプでよく、それぞれのゲートは第1の走査線scanA及び第2の走査線scanBという別々の走査線によって制御され、書き込み終了時にはTFT3に先だってTFT4がoff状態とされる。また、図21に関連付けて説明したように、所定の走査線周期内で書き込みを確実に終了させるために、TFT1のサイズ(W/L)をTFT2のサイズより大きく設定することが望ましい。

#### 産業上の利用可能性

以上のように、本発明に係る電流駆動回路およびそれを用いた表示素装置によれば、能動素子(TFTなど)の特性ばらつきによらず、データ線からの信号電流Iwに正確に比例(または対応)する駆動電流Idrvを、電流駆動型の発光素子(有機EL素子など)に流すことが可能である。このような電流駆動回路を含む画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置

を提供することが可能である。

## 請求の範囲

1. 駆動対象に駆動電流を供給する電流駆動回路であって、  
制御線と、  
情報に応じた電流レベルを有する信号電流が供給される信号線と、  
前記制御線が選択されたとき、前記信号線から信号電流を取り込む受入  
部と、  
取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する  
変換部と、  
保持された電圧信号を電流信号に変換して上記駆動電流を出力する駆動  
部とを含む  
電流駆動回路。
2. 前記変換部は、制御端子と第1端子及び第2端子を備えた変換用トランジスタと、前記制御端子に接続した容量とを含んでいる  
請求項1記載の電流駆動回路。
3. 前記変換部は、前記変換用トランジスタの第1端子と制御端子との間に  
挿入されたスイッチ用トランジスタを含んでおり、  
前記スイッチ用トランジスタは、信号電流の電流レベルを電圧レベルに  
変換する時に導通し、前記変換用トランジスタの第1端子と制御端子を電気的に  
接続して第2端子を基準とする電圧レベルをゲートに生ぜしめる一方、  
前記スイッチ用トランジスタは、電圧レベルを前記容量に保持する時に  
遮断され、前記変換用トランジスタの制御端子及びこれに接続した前記容量を第  
1端子から切り離す  
請求項2記載の電流駆動回路。
4. 前記受入部は、制御端子、第1端子及び第2端子を有し、第1端子が前  
記変換用トランジスタの第1端子に接続され、第2端子が前記信号線に接続され  
、制御端子が前記制御線に接続された取込用絶縁ゲート型電界効果トランジスタ

を含み、

前記変換部は、前記変換用トランジスタの第1端子と制御端子との間に挿入されたスイッチ用トランジスタを含んでいる

請求項1記載の電流駆動回路。

5. 前記取込用トランジスタの制御端子とスイッチ用トランジスタの制御端子はそれぞれ異なる制御線に接続されている

請求項4記載の電流駆動回路。

6. 前記変換用トランジスタの導電型と前記取込用トランジスタの導電型が異なる

請求項4記載の電流駆動回路。

7. 前記駆動部は、制御端子と第1端子及び第2端子を備えた駆動用トランジスタを含んでおり、

前記駆動用トランジスタは、前記容量に保持された電圧レベルを制御端子に受け入れそれに応じた電流レベルを有する駆動電流を流す

請求項2記載の電流駆動回路。

8. 前記変換用トランジスタの制御端子と前記駆動用トランジスタの制御端子とが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項7記載の電流駆動回路。

9. 前記駆動用トランジスタは、変換用トランジスタの近傍に形成されており、前記変換用トランジスタと同等の閾電圧を有する

請求項7記載の電流駆動回路。

10. 前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項7記載の電流駆動回路。

11. 前記駆動用トランジスタは飽和領域で動作し、そのゲートに印加された

電圧レベルと閾電圧との差に応じた駆動電流を流す

請求項 9 記載の電流駆動回路。

1 2. 前記駆動用トランジスタはリニア領域で動作する

請求項 9 記載の電流駆動回路。

1 3. 前記駆動用トランジスタはリニア領域で動作する

請求項 10 記載の電流駆動回路。

1 4. 前記駆動部は、前記変換部との間で前記変換用トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を流す

請求項 2 記載の電流駆動回路。

1 5. 前記駆動部は、駆動時以外に前記変換用トランジスタを介して不要電流を遮断する制御手段を有する

請求項 14 記載の電流駆動回路。

1 6. 前記制御手段は、制御端子と第 1 端子及び第 2 端子を備えた、第 1 端子が前記変換用トランジスタに接続され、第 2 端子が前記駆動対象に接続された制御用トランジスタからなり、

前記制御用トランジスタは、前記駆動対象の非駆動時に非導通状態となって前記変換用トランジスタと前記駆動対象とを切り離し、前記駆動対象の駆動時には導通状態に切り替わる

請求項 15 記載の電流駆動回路。

1 7. 前記駆動部は、前記変換用トランジスタを通じて流れる駆動電流の電流レベルを安定化するために、前記変換用トランジスタのソースを基準にしたドレンの電位を固定化する電位固定手段を有する

請求項 14 記載の電流駆動回路。

18. 前記受入部、前記変換部及び前記駆動部は複数のトランジスタを組み合  
わせた電流回路を構成し、

1つまたは2つ以上のトランジスタは電流回路中の電流リークを抑制す  
るためにダブルゲート構造を有する

請求項1記載の電流駆動回路。

19. 前記データ線と所定電位との間に、リーク素子が接続されている

請求項1記載の電流駆動回路。

20. 前記データ線と所定電位との間に、前記データを初期値に設定する初期  
値設定用素子が接続されている

請求項1記載の電流駆動回路。

21. 前記駆動用絶縁ゲート型電界効果トランジスタはPチャネル型である

請求項7記載の電流駆動回路。

22. 駆動対象に駆動電流を供給する電流駆動回路であって、

少なくとも一つの制御線と、

情報に応じた電流レベルを有する信号電流が供給される信号線と、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジス  
タと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記信号線  
との間に接続され、ゲートが前記制御線に接続された取込用絶縁ゲート型電界効  
果トランジスタと、

基準電位と前記駆動対象間に接続された駆動用絶縁ゲート型電界効果ト  
ランジスタと、

第1電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び  
駆動用絶縁ゲート型電界効果トランジスタのゲートに共通に接続され、第2電極  
が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に

接続され、ゲートが前記制御線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

電流駆動回路。

23. 駆動対象に駆動電流を供給する電流駆動回路であって、  
少なくとも一つの制御線と、  
情報に応じた電流レベルを有する信号電流が供給される信号線と、  
ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジス  
タと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記信号線  
との間に接続され、ゲートが前記制御線に接続された取込用絶縁ゲート型電界効  
果トランジスタと、

基準電位と前記駆動対象間に接続された駆動用絶縁ゲート型電界効果ト  
ランジスタと、

第1電極が前記駆動用絶縁ゲート型電界効果トランジスタのゲートに接  
続され、第2電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートと、前記駆動用  
絶縁ゲート型電界効果トランジスタのゲートと前記キャパシタの第1電極との接  
続点間に接続され、ゲートが前記制御線に接続されたスイッチ用絶縁ゲート型電  
界効果トランジスタとを含む

電流駆動回路。

24. 前記取込用絶縁ゲート型電界効果トランジスタの制御端子とスイッチ用  
絶縁ゲート型電界効果トランジスタ制御端子はそれぞれ異なる制御線に接続され  
ている

請求項23記載の電流駆動回路。

25. 前記変換用トランジスタのトランジスタサイズが前記駆動用トランジス  
タのトランジスタサイズより大きく設定されている

請求項 2 3 記載の電流駆動回路。

2 6. 走査線と、

輝度情報に応じた信号が供給されるデータ線と、

前記データ線及び走査線の交差部に形成された表示素子を含む画素を有し、

前記画素は、前記走査線が選択されたとき、前記データ線に供給される信号を取り込む受入部と、

この取り込んだ信号を変換して保持する変換保持部と、

前記保持された信号を変換し、前記表示素子に供給する駆動部とを有する

表示装置。

2 7. 前記取り込んだ信号は電流であり、前記変換保持部で保持される信号は電圧であり、前記表示素子に供給される信号は電流である

請求項 2 6 記載の表示装置。

2 8. 前記変換保持部は、制御端子を備える第 1 のトランジスタと、前記制御端子に接続されたキャパシタを有する

請求項 2 6 記載の表示装置。

2 9. 前記変換保持部は、前記第 1 のトランジスタの第 1 端子と前記制御端子の間に接続された第 2 のトランジスタを有する

請求項 2 8 記載の表示装置。

3 0. 前記第 2 のトランジスタは、前記データ線に供給される信号を前記受入部が取り込む際に導通状態となり、前記変換保持部に信号が供給された後非導通状態となる

請求項 2 9 記載の表示装置。

3 1. 前記受入部は第 1 端子が前記第 1 のトランジスタの第 1 端子に接続され、第 2 端子が前記データ線に接続された第 3 のトランジスタを有し、

前記第2トランジスタの制御端子と前記第3のトランジスタの制御端子は異なる走査線に接続されている

請求項29記載の表示装置。

32. 前記変換保持部と前記駆動部は、同一のトランジスタである

請求項26記載の表示装置。

33. 前記駆動部は、前記第1のトランジスタの制御端子に、制御端子が接続された第3のトランジスタを有している

請求項28記載の表示装置。

34. 前記駆動部は、前記第1のトランジスタの制御端子に、制御端子が接続された第3のトランジスタを有しており、前記第1及び第2、第3のトランジスタでカレントミラー回路を構成している

請求項29記載の表示装置。

35. 前記駆動部は、前記第1のトランジスタである

請求項28記載の表示装置。

36. 前記第1のトランジスタと前記表示素子の間に第4のトランジスタを有する

請求項35記載の表示装置。

37. 前記第1のトランジスタの第1の端子に表示素子が接続され、前記第1のトランジスタの第2の端子に第4のトランジスタを有する

請求項35記載の表示装置。

38. 前記駆動部及び前記変換保持部は複数のトランジスタから構成されている

請求項26記載の表示装置。

39. 前記変換保持部は、制御端子を備える複数のトランジスタと、前記各制御端子に接続された複数のキャパシタを有する

請求項26記載の表示装置。

4 0. 前記第 3 のトランジスタの第 1 の端子に前記表示素子が接続され、前記第 3 のトランジスタの第 2 の端子に定電圧源が接続されている

請求項 3 3 記載の表示装置。

4 1. 前記キャパシタに前記第 2 のトランジスタの制御端子が接続されている

請求項 3 4 記載の表示装置。

4 2. 前記キャパシタの他端が前記第 1 のトランジスタの第 2 の端子に接続されている

請求項 3 7 記載の表示装置。

4 3. 前記表示素子は、少なくとも一方の電極が透明であり、かつ前記電極間に挟まれた有機物を含む層を有している

請求項 2 6 記載の表示装置。

4 4. 前記データ線と所定電位との間に、リーク素子が接続されている

請求項 2 6 記載の表示装置。

4 5. 前記データ線と所定電位との間に、前記走査線が選択される前に前記データを初期値に設定する初期値設定用素子が接続されている

請求項 2 6 記載の表示装置。

4 6. 走査線と、

輝度情報に応じた電流信号が供給されるデータ線と、

前記データ線及び走査線の交差部に形成された有機層を有する画素を有し、

前記画素は、前記走査線が選択されたとき、前記データ線に供給される電流信号を取り込む受入部と、

この取り込んだ電流信号を電圧変換して保持する変換保持部と、

前記保持された電圧信号を変換し、前記表示素子に電流供給する駆動部を有する

表示装置。

4 7. 前記輝度情報は電圧であり、前記電圧を電流に変換して前記データ線に

供給する

請求項 4 6 記載の表示装置。

4 8. 前記変換保持部は、制御端子を備える第1のトランジスタと、前記制御端子に接続されたキャパシタを有する

請求項 4 6 記載の表示装置。

4 9. 前記変換保持部は、前記第1のトランジスタの第1端子と前記制御端子の間に接続された第2のトランジスタを有する

請求項 4 8 記載の表示装置。

5 0. 前記第2のトランジスタは、前記データ線に供給される信号を前記受入部が取り込む際に導通状態となり、前記変換保持部に信号が供給された後非導通状態となる

請求項 4 9 記載の表示装置。

5 1. 前記受入部は第1端子が前記第1のトランジスタの第1端子に接続され、第2端子が前記データ線に接続された第3のトランジスタを有し、

前記第2トランジスタの制御端子と前記第3のトランジスタの制御端子は異なる走査線に接続されている

請求項 4 9 記載の表示装置。

5 2. 前記変換保持部と前記駆動部は、同一のトランジスタである

請求項 4 6 記載の表示装置。

5 3. 前記駆動部は、前記第1のトランジスタの制御端子に、制御端子が接続された第3のトランジスタを有している

請求項 4 8 記載の表示装置。

5 4. 前記駆動部は、前記第1のトランジスタの制御端子に、制御端子が接続された第3のトランジスタを有しており、前記第1及び第2、第3のトランジスタでカレントミラーレイ回路を構成している

請求項 4 9 記載の表示装置。

5 5. 前記駆動部は、前記第1のトランジスタである

請求項4 8記載の表示装置。

5 6. 前記第1のトランジスタと前記表示素子の間に第4のトランジスタを有する

請求項5 5記載の表示装置。

5 7. 前記第1のトランジスタの第1の端子に表示素子が接続され、前記第1のトランジスタの第2の端子に第4のトランジスタを有する

請求項5 5記載の表示装置。

5 8. 前記駆動部及び前記変換保持部は複数のトランジスタから構成されている

請求項4 6記載の表示装置。

5 9. 前記変換保持部は、制御端子を備える複数のトランジスタと、前記各制御端子に接続された複数のキャパシタを有する

請求項4 6記載の表示装置。

6 0. 前記第3のトランジスタの第1の端子に前記表示素子が接続され、前記第3のトランジスタの第2の端子に定電圧源が接続されている

請求項6 1記載の表示装置。

6 1. 前記キャパシタに前記第2のトランジスタの制御端子が接続されている

請求項5 4記載の表示装置。

6 2. 前記キャパシタの他端が前記第1のトランジスタの第2の端子が接続されている

請求項5 7記載の表示装置。

6 3. 前記表示素子は、少なくとも一方の電極が透明であり、かつ前記電極間に挿まれた有機物を含む層を有している

請求項4 6記載の表示装置。

6 4. 前記データ線と所定電位との間に、リーク素子が接続されている

請求項 4 6 記載の表示装置。

6 5. 前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項 4 6 記載の表示装置。

6 6. 走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

前記走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含む

表示装置。

6 7. 前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでいる

請求項 6 6 記載の表示装置。

6 8. 前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流

レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す

請求項 6 7 記載記載の表示装置。

6 9. 前記受入部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に挿入された取込用絶縁ゲート型電界効果トランジスタを含み、

前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる

請求項 6 6 記載の表示装置。

7 0. 前記取込用絶縁ゲート型電界効果トランジスタのゲートとスイッチ用絶縁ゲート型電界効果トランジスタのゲートはそれぞれ異なる走査線に接続されている

請求項 6 9 記載の表示装置。

7 1. 前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離し、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、非選択となって

前記取込用絶縁ゲート型電界効果トランジスタが非導通となる前に遮断される

請求項 7 0 記載の表示装置。

7 2. 前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、1 フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項 7 1 記載の表示装置。

7 3. 前記スイッチ用絶縁ゲート型電界効果トランジスタが接続される走査線は、色の 3 原色の各色毎に独立に設けられている

請求項 7 1 記載の表示装置。

7 4. 前記スイッチ用絶縁ゲート型電界効果トランジスタの導電型と前記取込用絶縁ゲート型電界効果トランジスタの導電型が異なる

請求項 6 9 記載の表示装置。

7 5. 前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して前記発光素子に流す

請求項 6 7 記載の表示装置。

7 6. 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラ回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項 7 5 記載の表示装置。

7 7. 前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶

縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項 7 5 記載の表示装置。

7 8. 前記変換用絶縁ゲート型電界効果トランジスタのトランジスタサイズが前記駆動用絶縁ゲート型電界効果トランジスタのトランジスタサイズより大きく設定されている

請求項 7 7 記載の表示装置。

7 9. 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項 7 7 記載の表示装置。

8 0. 前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項 7 7 記載の表示装置。

8 1. 前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項 7 8 記載の表示装置。

8 2. 前記駆動部は、前記変換部との間で前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す

請求項 6 7 記載の表示装置。

8 3. 前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する

請求項 8 2 記載の表示装置。

8 4. 前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する

請求項 8 3 記載の表示装置。

8 5. 前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり

前記制御用絶縁ゲート型電界効果トランジスタは、前記発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、前記発光素子の駆動時には導通状態に切り替わる

請求項 8 3 記載の表示装置。

8 6. 前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした

請求項 8 3 記載の表示装置。

8 7. 前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通って前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する

請求項 8 2 記載の表示装置。

8 8. 前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項 6 6 記載の表示装置。

8 9. 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソ

ードがドレインに接続している

請求項 6 6 記載の表示装置。

9 0. 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項 6 6 記載の表示装置。

9 1. 前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

請求項 6 6 記載の表示装置。

9 2. 前記データ線と所定電位との間に、リーク素子が接続されている

請求項 6 6 記載の表示装置。

9 3. 前記データ線と所定電位との間に、前記走査線が選択される前に前記データを初期値に設定する初期値設定用素子が接続されている

請求項 6 6 記載の表示装置。

9 4. 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項 9 3 記載の表示装置。

9 5. 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保

持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 9 3 記載の表示装置。

9 6. 前記駆動部は、ゲート、ドレン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 9 3 記載の表示装置。

9 7. 前記発光素子は有機エレクトロルミネッセンス素子を用いる

請求項 6 6 記載の表示装置。

9 8. 前記駆動用絶縁ゲート型電界効果トランジスタはPチャネル型である

請求項 7 5 記載の表示装置。

9 9. 走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレンと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界

効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第1電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタのゲートに共通に接続され、第2電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

表示装置。

100. 走査線を順次選択する走査線駆動回路と、

輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

前記画素は、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタと、

前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線との間に接続され、ゲートが前記走査線に接続された取込用絶縁ゲート型電界効果トランジスタと、

基準電位と前記発光素子間に接続された駆動用絶縁ゲート型電界効果トランジスタと、

第1電極が前記駆動用絶縁ゲート型電界効果トランジスタのゲートに接続され、第2電極が基準電位に接続されたキャパシタと、

画素回路。

105. 前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでいる

請求項104記載の画素回路。

106. 前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレンから切り離す

請求項105記載記載の画素回路。

107. 前記受入部は、前記変換用絶縁ゲート型電界効果トランジスタのドレンと前記データ線との間に挿入された取込用絶縁ゲート型電界効果トランジスタを含み、

前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる

請求項104記載の画素回路。

108. 前記取込用絶縁ゲート型電界効果トランジスタのゲートとスイッチ用絶縁ゲート型電界効果トランジスタのゲートはそれぞれ異なる走査線に接続されている

請求項 107 記載の画素回路。

109. 前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離し、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、非選択となって前記取込用絶縁ゲート型電界効果トランジスタが非導通となる前に遮断される

請求項 108 記載の画素回路。

110. 前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、1フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項 109 記載の画素回路。

111. 前記スイッチ用絶縁ゲート型電界効果トランジスタが接続される走査線は、色の3原色の各色毎に独立に設けられている

請求項 105 記載の画素回路。

112. 前記スイッチ用絶縁ゲート型電界効果トランジスタの導電型と前記取込用絶縁ゲート型電界効果トランジスタの導電型が異なる

請求項 107 記載の画素回路。

113. 前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチ

ヤネルを介して前記発光素子に流す

請求項 105 記載の画素回路。

114. 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラーレンジを構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項 113 記載の画素回路。

115. 前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項 113 記載の画素回路。

116. 前記変換用絶縁ゲート型電界効果トランジスタのトランジスタサイズが前記駆動用絶縁ゲート型電界効果トランジスタのトランジスタサイズより大きく設定されている

請求項 115 記載の画素回路。

117. 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項 115 記載の画素回路。

118. 前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項 115 記載の画素回路。

119. 前記駆動用絶縁ゲート型電界効果トランジスタはリニア領域で動作する

請求項 116 記載の画素回路。

120. 前記駆動部は、前記変換部との間で前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電

126. 前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項104記載の画素回路。

127. 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項104記載の画素回路。

128. 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項104記載の画素回路。

129. 前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

請求項104記載の画素回路。

130. 前記データ線と所定電位との間に、リーク素子が接続されている

請求項104記載の画素回路。

131. 前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項104記載の画素回路。

132. 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界

続され、第2電極が基準電位に接続されたキャパシタと、

前記変換用絶縁ゲート型電界効果トランジスタのゲートと、前記駆動用絶縁ゲート型電界効果トランジスタのゲートと前記キャパシタの第1電極との接続点間に接続され、ゲートが前記走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタとを含む

画素回路。

139. 前記取込用絶縁ゲート型電界効果トランジスタの制御端子とスイッチ用絶縁ゲート型電界効果トランジスタ制御端子はそれぞれ異なる走査線に接続されている

請求項138記載の画素回路。

140. 前記変換用トランジスタのトランジスタサイズが前記駆動用トランジスタのトランジスタサイズより大きく設定されている

請求項138記載の画素回路。

141. 前記スイッチ用絶縁ゲート型電界効果トランジスタ及び前記取込用絶縁ゲート型電界効果トランジスタが非導通となった後、1フレーム期間内の所定時間後に前記スイッチ用絶縁ゲート型電界効果トランジスタを導通させて、走査線単位で消灯を行う

請求項139記載の画素回路。

142. 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する発光素子の駆動方法であって、

前記走査線からの選択パルスに応答して前記データ線から信号電流を取り込む受入手順と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換手順と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光

素子に流す駆動手順とを含む

発光素子の駆動方法。

143. 前記変換手順は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを用いる手順を含んでおり、

前記手順において、前記変換用絶縁ゲート型電界効果トランジスタは、前記受入手順によって取り込まれた信号電流を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、前記容量は前記ゲートに生じた電圧レベルを保持する

請求項142記載の発光素子の駆動方法。

144. 前記変換手順は、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

前記手順において、前記スイッチ用絶縁ゲート型電界効果トランジスタは、前記変換用絶縁ゲート型電界効果トランジスタが信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレンとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレンから切り離す

請求項143記載記載の発光素子の駆動方法。

145. 前記駆動手順は、ゲート、ドレン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

前記手順において、前記駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する

駆動電流をチャネルを介して前記発光素子に流す

請求項 1 4 3 記載の発光素子の駆動方法。

1 4 6. 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラーレンジを構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした

請求項 1 4 5 記載の発光素子の駆動方法。

1 4 7. 前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する

請求項 1 4 5 記載の発光素子の駆動方法。

1 4 8. 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す

請求項 1 4 7 記載の発光素子の駆動方法。

1 4 9. 前記駆動手順は、変換手順とで前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動手順は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入手順から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す

請求項 1 4 3 記載の発光素子の駆動方法。

1 5 0. 前記駆動手順は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手順を含む

請求項 1 4 9 記載の発光素子の駆動方法。

1 5 1. 前記制御手順は、整流作用を有する二端子型の発光素子の端子間電圧を

制御して不要電流を遮断する

請求項 150 記載の発光素子の駆動方法。

152. 前記制御手順は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタを用いる手順であり、

前記手順において、前記制御用絶縁ゲート型電界効果トランジスタは、非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、駆動時には導通状態に切り替わる

請求項 150 記載の発光素子の駆動方法。

153. 前記制御手順は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした

請求項 150 記載の発光素子の駆動方法。

154. 前記駆動手順は、前記変換用絶縁ゲート型電界効果トランジスタを通じて前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手順を含む

請求項 150 記載の発光素子の駆動方法。

155. 前記受入手順、前記変換手順及び前記駆動手順は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路の上で実行され、

1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは、前記電流回路で各手順を実行中に電流リークを抑制するためダブルゲート構造を有する

請求項 143 記載の発光素子の駆動方法。

156. 前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項 1 4 2 記載の発光素子の駆動方法。

1 5 7. 前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項 1 4 2 記載の発光素子の駆動方法。

1 5 8. 前記変換手順によって保持された電圧レベルを下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締める

請求項 1 4 2 記載の発光素子の駆動方法。

1 5 9. 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記調整手順は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項 1 5 8 記載の発光素子の駆動方法。

1 6 0. 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記変換変換手順は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を用い、

前記調整手順は、前記容量に接続した追加容量を用い、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 1 5 8 記載の発光素子の駆動方法。

1 6 1. 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電

界効果トランジスタを用い、

前記変換手順は、一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を用い、

前記調整手順は、前記変換手順によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 1 5 8 記載の発光素子の駆動方法。

1 6 2. 前記発光素子は有機エレクトロルミネッセンス素子を用いる

請求項 1 4 2 記載の発光素子の駆動方法。

1 6 3. 画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、

各画素は、供給される電流によって輝度が変化する発光素子と、走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書き込み手段と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能な表示装置であって、

前記書き込み手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める表示装置。

1 6 4. 輝度情報を供給するデータ線と選択バスを供給する走査線との交差部に配され、輝度情報に応じて発光する発光素子を有する画素を駆動する画素回路であって、

走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手段と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

前記書込手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める画素回路。

165. 画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、各画素は供給される電流量によって輝度が変化する発光素子を含む表示装置の駆動方法であって、

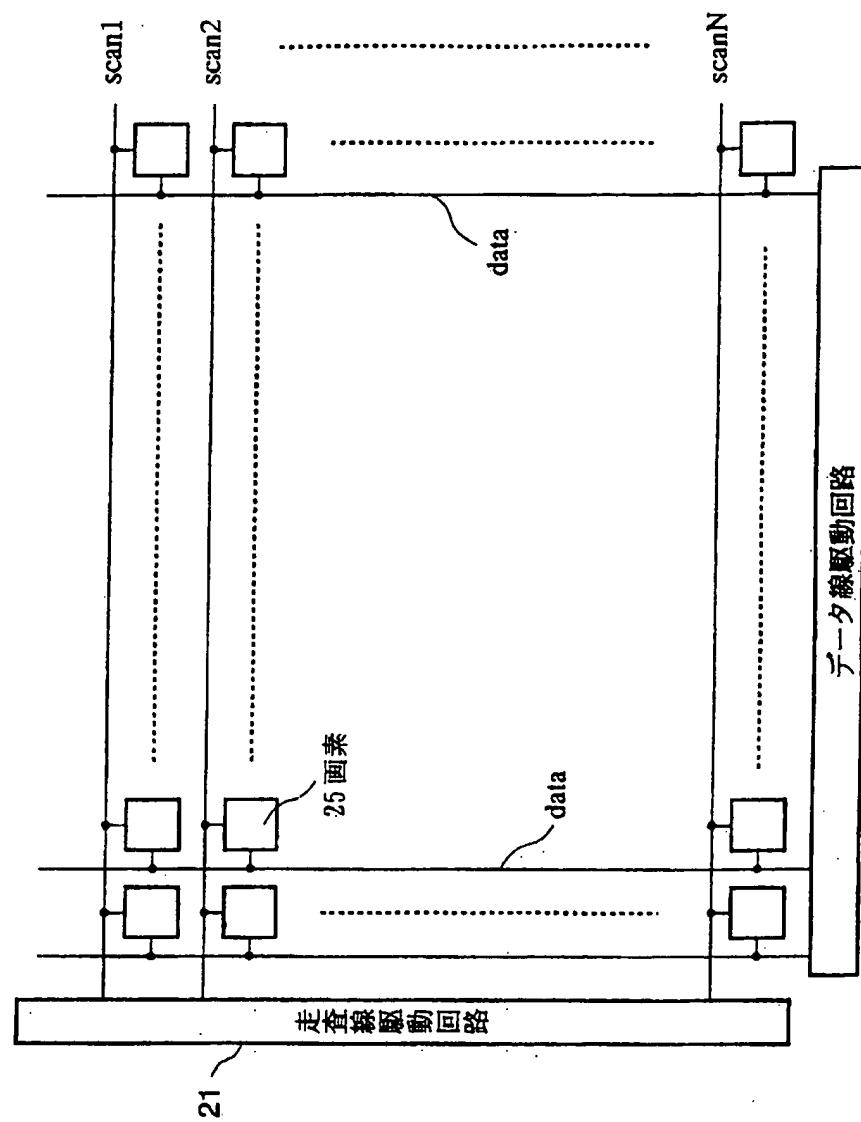
走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手順と、前記書き込まれた輝度情報に応じて前記発光素子に供給する電流量を制御する駆動手順とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

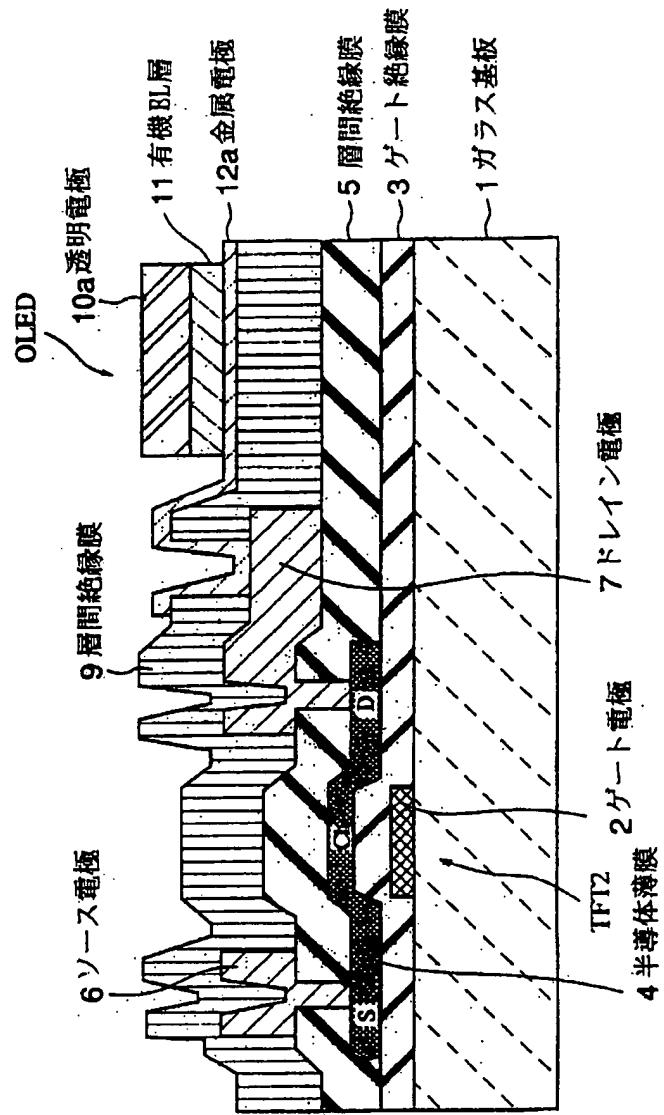
前記書込手順によって書き込まれた輝度情報を下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締める表示装置の駆動方法。

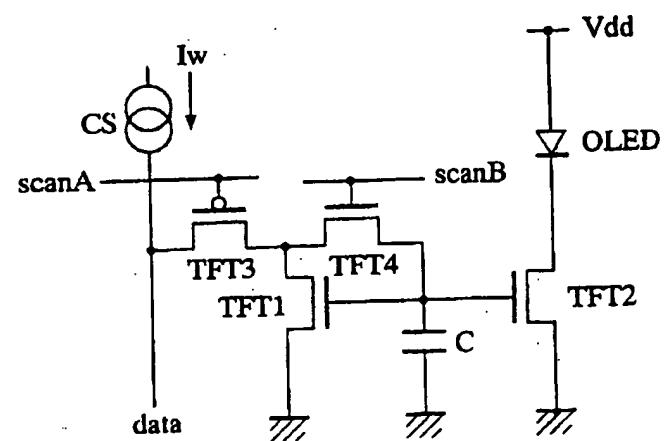
FIG.2



21

FIG.4



**FIG.5**

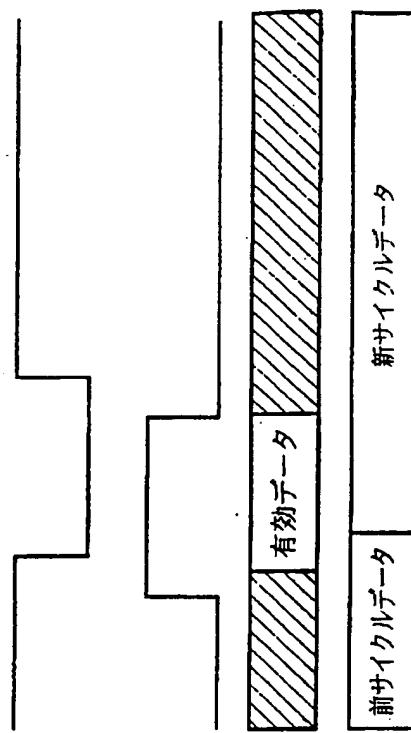


FIG. 6A

scanA

FIG. 6B

scanB

FIG. 6C

CSの電流

FIG. 6D

OLED輝度

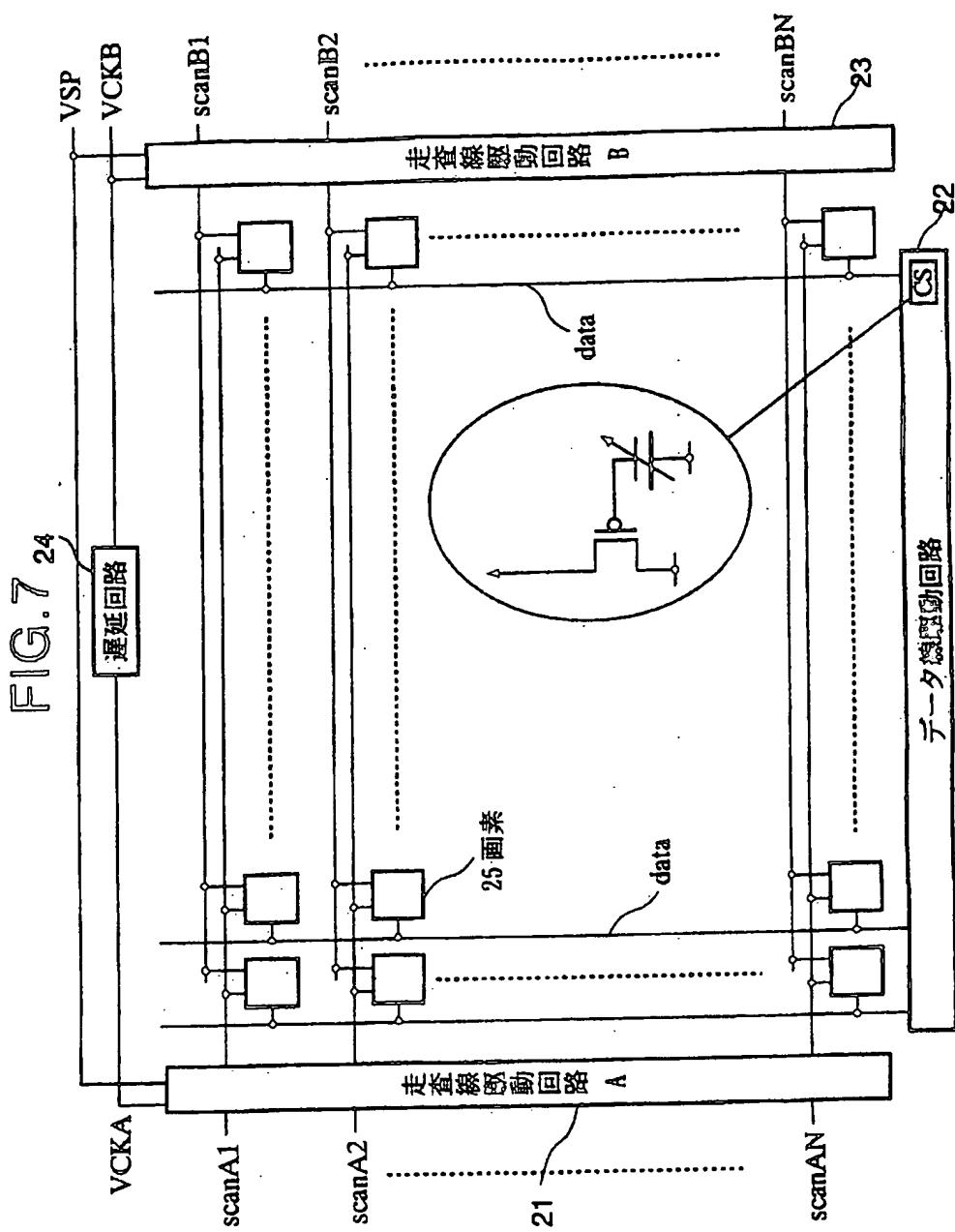


FIG.10

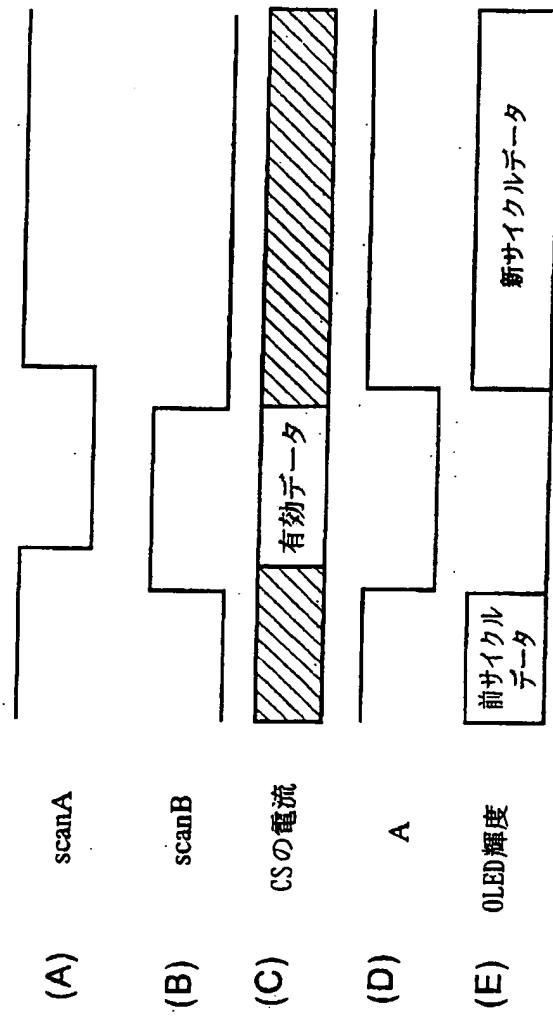


FIG.13

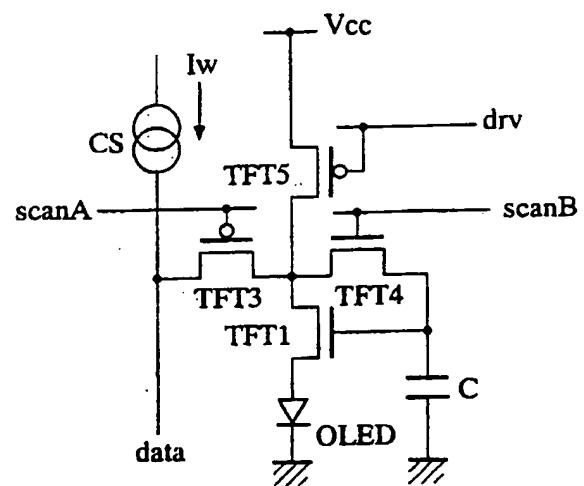
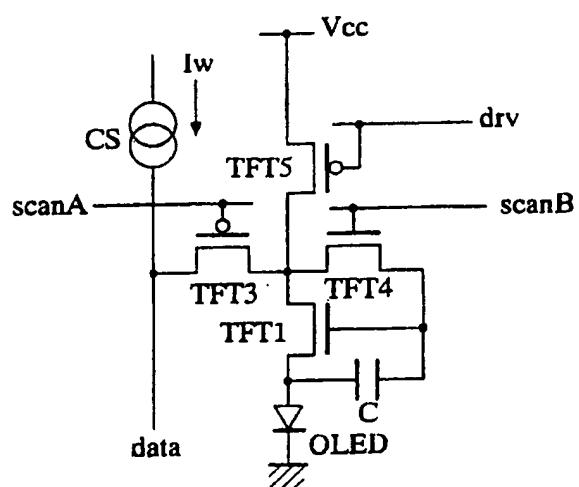
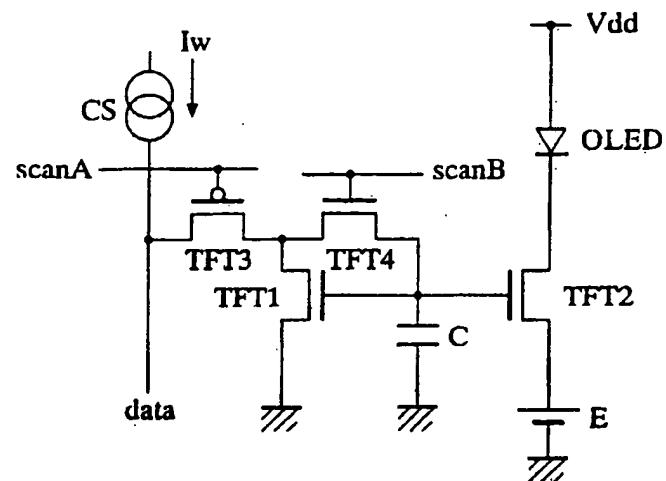
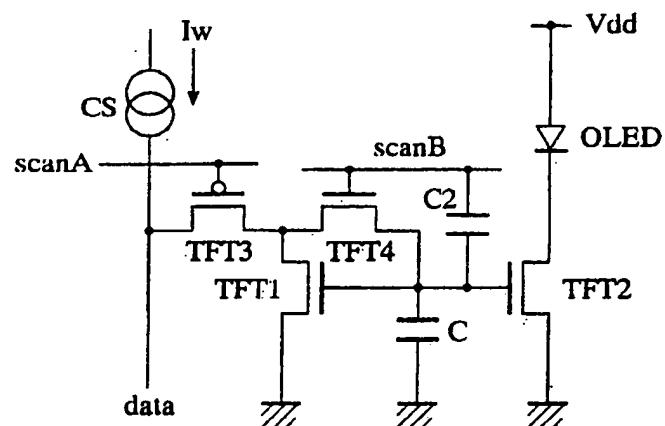


FIG.14



**FIG.15****FIG.16**

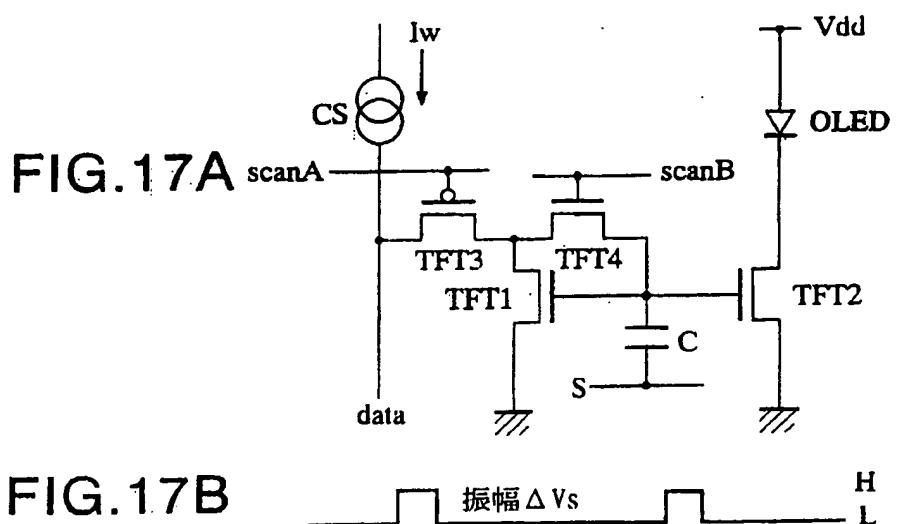


FIG.19

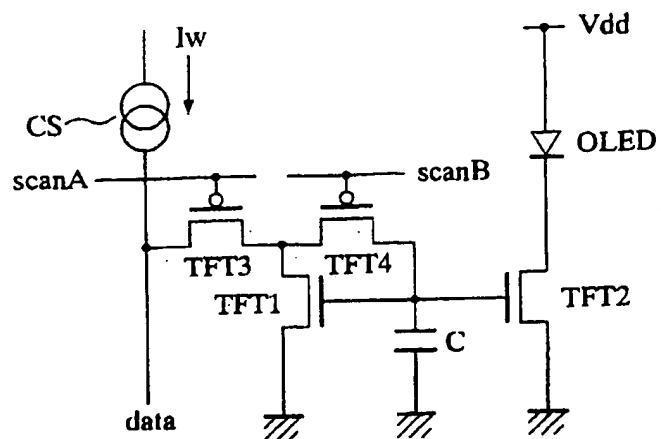


FIG.20A

FIG.20B

FIG.20C

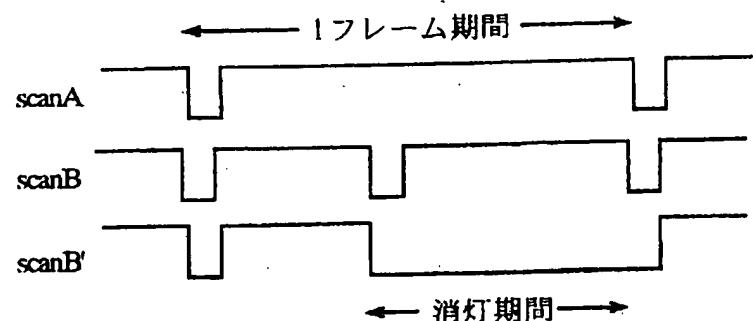


FIG.21

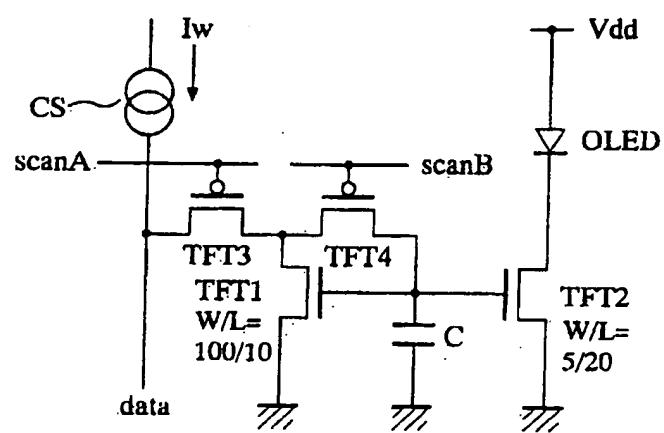


FIG.22

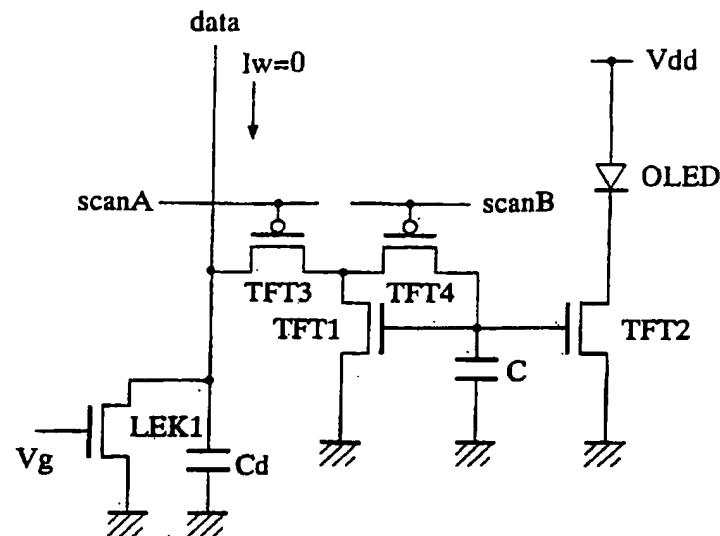
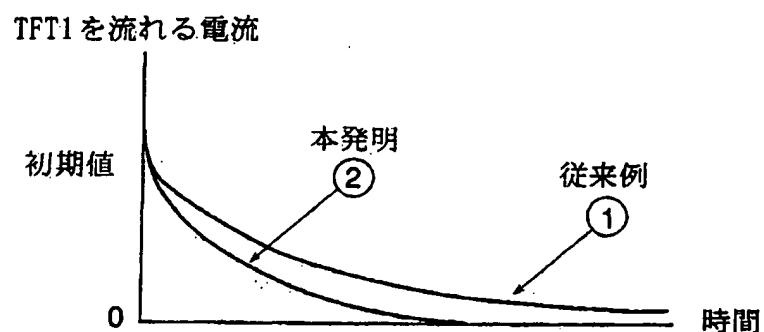


FIG.23



## 符号リスト

OLED . . . 発光素子  
TFT 1 . . . 変換用薄膜トランジスタ  
TFT 2 . . . 駆動用薄膜トランジスタ  
TFT 3 . . . 取込用薄膜トランジスタ  
TFT 4 . . . スイッチ用薄膜トランジスタ  
C . . . 保持容量  
CS . . . 電流源  
scan A . . . 走査線  
scan B . . . 走査線  
data . . . データ線  
21 . . . 走査線駆動回路  
22 . . . データ線駆動回路  
23 . . . 走査線駆動回路  
25 . . . 画素

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP00/04763

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/32, 3/30, 3/12, 3/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 1-279670, A (NEC Corporation), 09 November, 1989 (09.11.89), Full text; Figs. 1 to 3 (Family: none)	1-165
A	JP, 9-197313, A (NEC Corporation), 31 July, 1997 (31.07.97), Full text; Figs. 1 to 7 (Family: none)	1-165
A	JP, 9-264810, A (ASAHI OPTICAL Co., Ltd.), 07 October, 1997 (07.10.97), Full text; Figs. 1 to 3 (Family: none)	1-165

Further documents are listed in the continuation of Box C.  See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 16 August, 2000 (16.08.00)	Date of mailing of the international search report 29 August, 2000 (29.08.00)
---	--

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. Cl' G09G3/32

B. 調査を行った分野  
調査を行った最小限資料（国際特許分類（IPC））  
Int. Cl' G09G3/32, 3/30, 3/12, 3/14

最小限資料以外の資料で調査を行った分野に含まれるもの  
日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2000年  
日本国登録実用新案公報 1994-2000年  
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 1-279670, A(日本電気株式会社)9.11月.1989 (09.11.89) 全文、 第1-3図(ファミリーなし)	1-165
A	JP, 9-197313, A(日本電気株式会社)31.7月.1997 (31.07.97) 全文、 第1-7図(ファミリーなし)	1-165
A	JP, 9-264810, A(旭光学工業株式会社)7.10月.1997 (07.10.97) 全 文、第1-3図(ファミリーなし)	1-165

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す  
もの  
「E」国際出願日前の出願または特許であるが、国際出願日  
以後に公表されたもの  
「L」優先権主張に疑惑を提起する文献又は他の文献の発行  
日若しくは他の特別な理由を確立するために引用する  
文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって  
て出願と矛盾するものではなく、発明の原理又は理  
論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明  
の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以  
上の文献との、当業者にとって自明である組合せに  
よって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日 16.08.00	国際調査報告の発送日 29.08.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区駿河三丁目4番3号	特許庁審査官（権限のある職員） 江成 克己 電話番号 03-3581-1101 内線 3226